

LP2995

DDR ターミネーション・レギュレータ

概要

LP2995 は JEDEC 標準の SSTL-2、SSTL-3 仕様に適合する、DDR-SDRAM ターミネーションのリニア・レギュレータです。LP2995 は負荷変動に対して優れた応答を発揮する高速オペアンプを内蔵しています。出力段は 1.5A の連続電流を供給でき、さらに DDR-SDRAM ターミネーションに求められる最大 3A の変動ピークにも対応していますが、貫通電流は発生しません。 V_{SENSE} 端子を介した電圧監視により優れた出力負荷レギュレーションを実現するとともに、チップセットや DDR DIMM に必要な V_{REF} 電圧も生成して出力します。

特許出願中

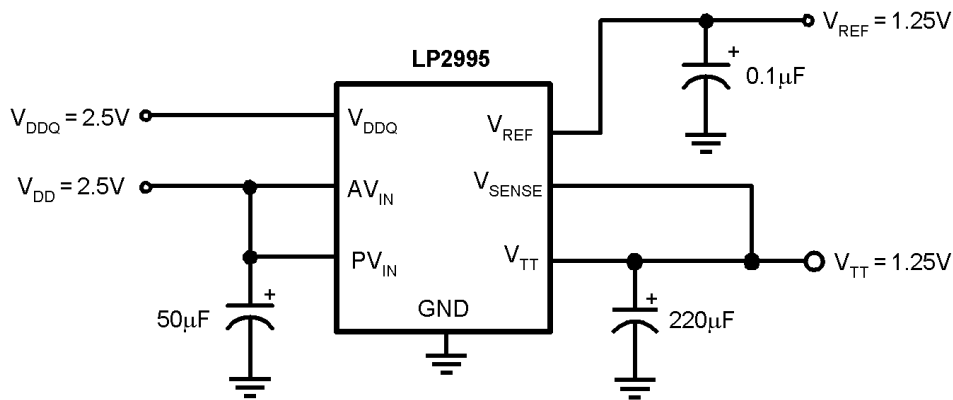
特長

- 低出力電圧オフセット
- + 5V、+ 3.3V または + 2.5V 電源で動作
- 電流ソースおよび電流シンク
- 少ない外付け部品
- 外付け抵抗不要
- リニア・トポロジー
- SO-8、PSOP-8、LLP-16 パッケージで供給
- 低コストで設計が容易

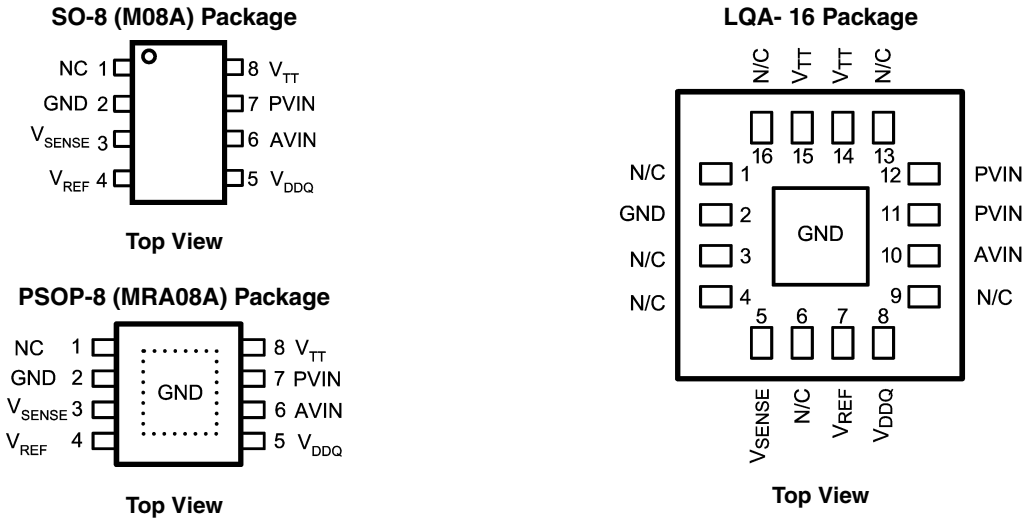
アプリケーション

- DDR ターミネーション電圧生成
- SSTL-2
- SSTL-3

代表的なアプリケーション回路



端子説明



端子説明

SO-8 ピン、 PSOP-8 ピン	LLP ピン	端子名	機能
1	1、3、4、6、9、13、16	NC	内部接続なし。スレーホールを配置可能
2	2	GND	グラウンド
3	5	V _{SENSE}	レギュレートされた V _{TT} の電圧フィードバック入力端子
4	7	V _{REF}	内部リファレンス電圧 V _{DDQ} /2 のバッファ出力
5	8	V _{DDQ}	内部リファレンス電圧 V _{DDQ} /2 を生成するための入力電圧
6	10	AV _{IN}	内部制御回路電源入力端子
7	11、12	PV _{IN}	パワー・オペアンプ出力段専用電源入力端子
8	14、15	V _{TT}	ターミネーション抵抗に接続するターミネーション電圧出力
	EP	EP	放熱用パッドです。グラウンドに接続してください。

製品情報

Order Number	Package Type	NSC Package Drawing	Supplied As
LP2995M	SO-8	M08A	95 Units per Rail
LP2995MX	SO-8	M08A	2500 Units Tape and Reel
LP2995MR	PSOP-8	MRA08A	95 Units per Rail
LP2995MRX	PSOP-8	MRA08A	2500 Units Tape and Reel
LP2995LQ	LLP-16	LQA16A	1000 Units Tape and Reel
LP2995LQX	LLP-16	LQA16A	4500 Units Tape and Reel

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

GND 基準の PV_{IN} 、 AV_{IN} 、 V_{DDQ} 各電圧	- 0.3V ~ + 6V
保存温度範囲	- 65 ~ + 150
接合部温度	150
PSOP-8 熱抵抗 (J_A)	43 /W
SO-8 熱抵抗 (J_A)	151 /W
LLP-16 熱抵抗 (J_A)	51 /W

リード温度 (ハンダ付け、10 秒間)

260

ESD 耐圧 (Note 7)

1kV

動作定格

接合部温度範囲 (Note 5)	0 ~ + 125
GND 基準の AV_{IN} 電圧	2.2V ~ 5.5V
GND 基準の PV_{IN} 電圧	2.2V ~ AV_{IN}

電気的特性

標準字体で記載された仕様は $T_J = 25$ の場合であり、太字で記載されたリミット値は「動作温度範囲」($T_J = 0\text{ C} \sim + 125\text{ C}$) に適用されます。特記のない限り、 $AV_{IN} = PV_{IN} = 2.5\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$ です (Note 6)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{REF}	V_{REF} Voltage	$I_{REF_OUT} = 0\text{mA}$	1.21	1.235	1.26	V
$VOS_{V_{TT}}$	V_{TT} Output Voltage Offset	$I_{OUT} = 0\text{A}$ (Note 2)	-15 -20	0	15 20	mV
$\Delta V_{TT}/V_{TT}$	Load Regulation (Note 3)	$I_{OUT} = 0$ to 1.5A $I_{OUT} = 0$ to -1.5A		0.5 -0.5		%
$Z_{V_{REF}}$	V_{REF} Output Impedance	$I_{REF} = -5\mu\text{A}$ to $+5\mu\text{A}$		5		k Ω
$Z_{V_{DDQ}}$	V_{DDQ} Input Impedance			100		k Ω
I_q	Quiescent Current	$I_{OUT} = 0\text{A}$ (Note 4)		250	400	μA

Note 1: 「絶対最大定格」とは、デバイスが破壊する可能性のあるリミット値を示します。「動作定格」とはデバイスが正しく機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様、そのテスト条件については「電気的特性」を参照してください。仕様の保証は、表記のテスト条件にのみ適用されます。記載のテスト条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: V_{TT} オフセットは、 $V_{REF} - V_{TT}$ として定義される電圧測定です。

Note 3: ロードレギュレーションは 10ms の電流パルスを用いて V_{TT} を測定しテストされています。

Note 4: 待機時消費電流は AV_{IN} に流れ込む電流として定義されています。

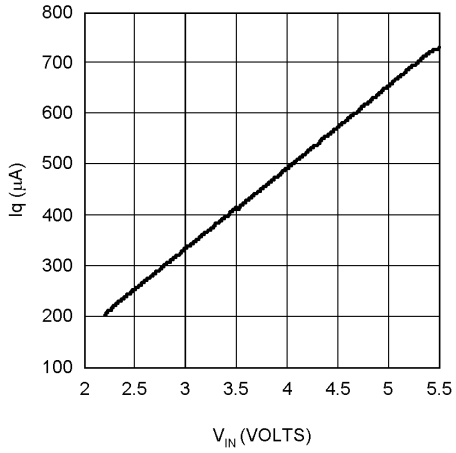
Note 5: 高温では、熱抵抗に基づいてデバイスをデレーティングする必要があります。SO-8 パッケージでは、ヒートシンクなしで接合部から周囲への熱抵抗 $J_A = 151$ /W でデレーティングしてください。LLP-16 では、接合部から周囲への熱抵抗 $J_A = 51$ /W でデレーティングしてください。

Note 6: 25 時のリミット値は 100% テストされます。全動作温度範囲におけるリミット値は、統計的品質管理 (SQC) 方式によって決められた補正データを加味して保証されています。これらのリミット値は、ナショナル セミコンダクター社の平均出荷品質レベル (AOQL) の計算に使用されます。

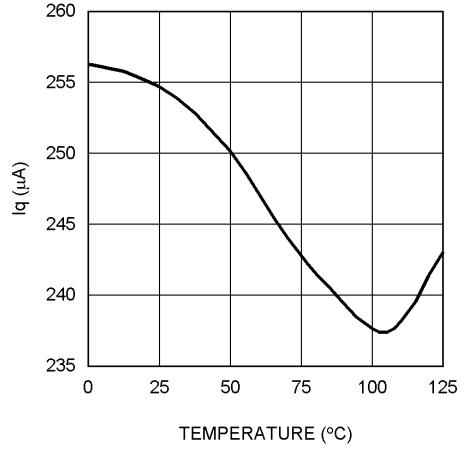
Note 7: 使用したテスト回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して各端子に放電させます。

代表的な性能特性

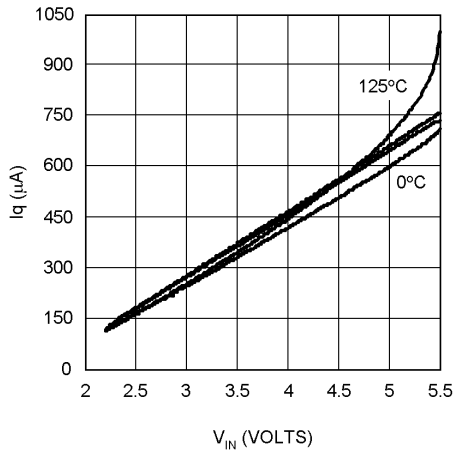
I_q vs V_{IN} (25 °C)



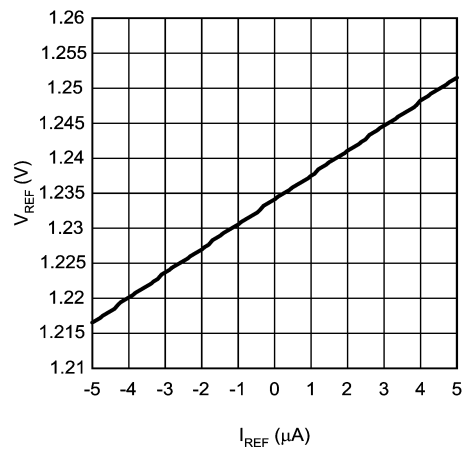
I_q vs Temperature (V_{IN} = 2.5V)



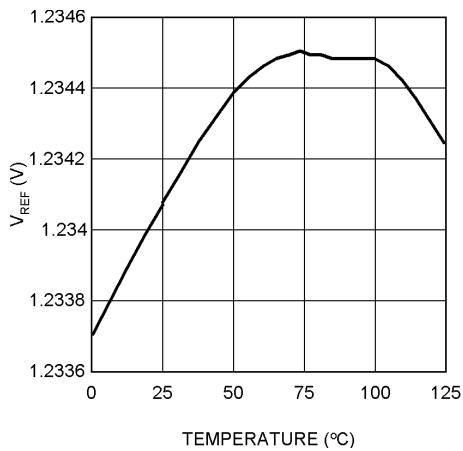
I_q vs V_{IN} (0, 25, 85, and 125 °C)



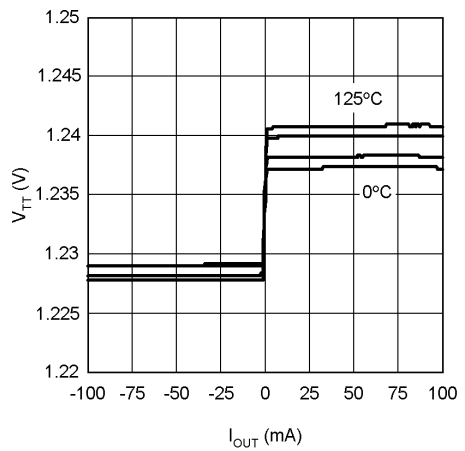
V_{REF} vs I_{REF}



V_{REF} vs Temperature (No Load)

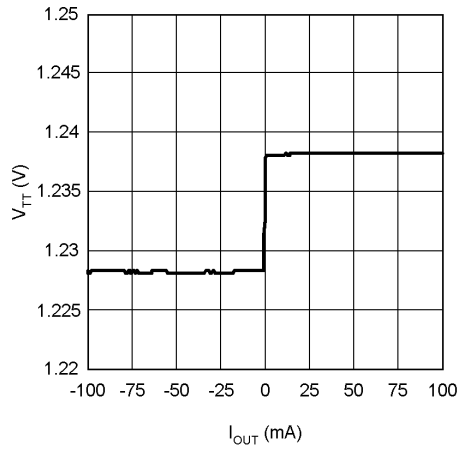


V_{TT} vs I_{OUT} (0, 25, 85, and 125 °C)

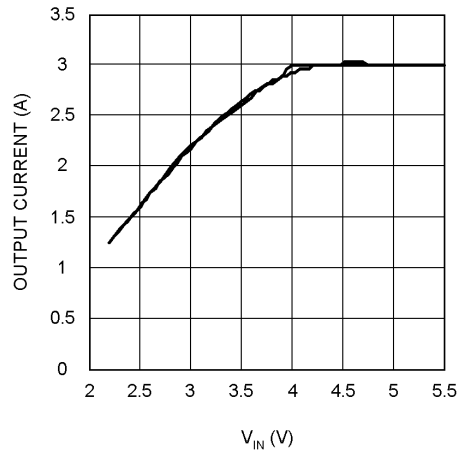


代表的な性能特性 (つづき)

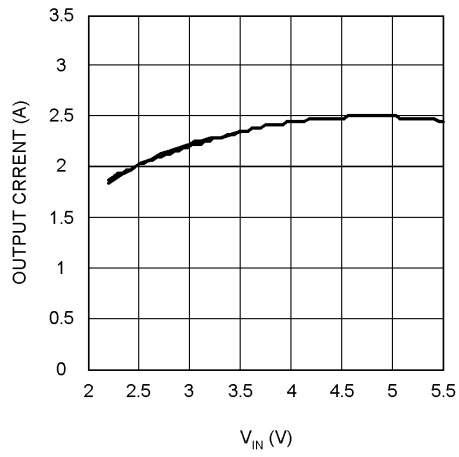
V_{TT} vs I_{OUT}



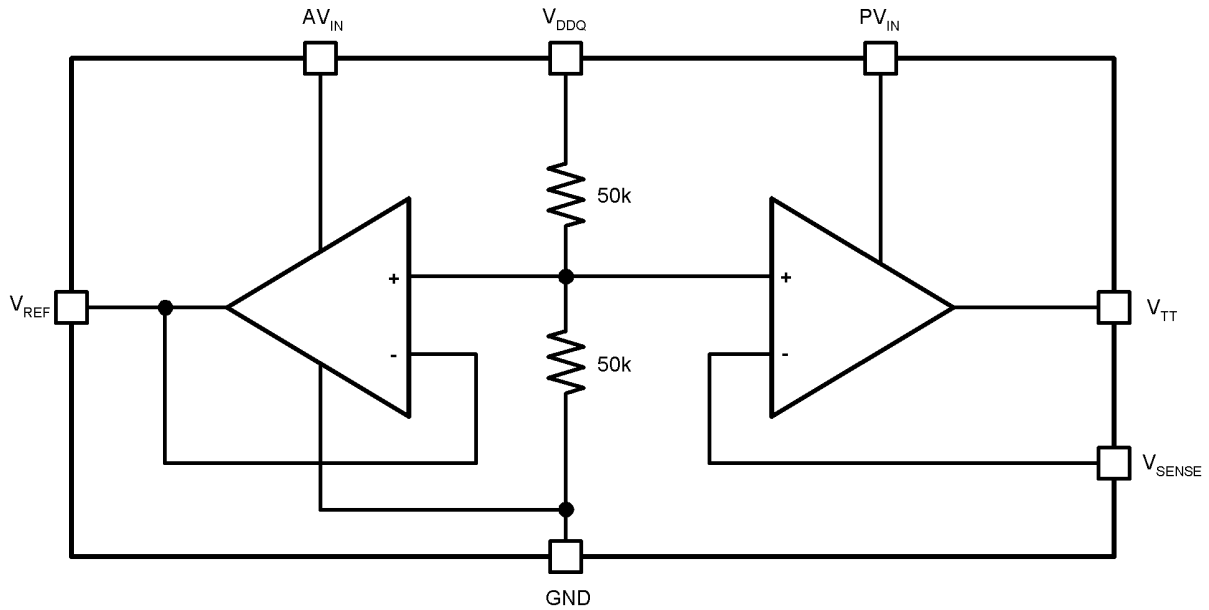
Maximum Output Current (Sourcing) vs V_{IN}
(VDDQ = 2.5)



Maximum Output Current (Sinking) vs V_{IN}
(VDDQ = 2.5)



ブロック図



説明

LP2995 は JEDEC 標準の SSTL-2、SSTL-3 仕様に適合する、DDR-SDRAM バス・ターミネーションのリニア・レギュレータです。LP2995 の V_{TT} 出力は $V_{DDQ}/2$ に等しくなるようにレギュレートされ、電流ソースや電流シンクに対応しています。 V_{REF} 端子はリファレンス電圧 $V_{DDQ}/2$ のバッファ出力となっており、DDR-SDRAM および ノース・ブリッジ・チップセット (メモリ・コントローラ) に共通リファレンス電圧を与えます。 V_{TT} 電圧は、全電流範囲で V_{REF} 電圧に忠実に追従し、かつ出力段で貫通電流の発生を防いでいます。

シリーズ・スタブ・ターミネートド・ロジック (SSTL) は、メモリバスのデータ転送時の信号品質を改善するために開発されました。このターミネーション方式は、高い周波数で DDR RAM のデータ転送を行う際に、信号反射によるデータエラーを防ぐためには不可欠と言えます。最も一般的なターミネーション回路形式は、チップセットとメモリ間に 1 つの直列抵抗 R_S を設け、さらにターミネーション抵抗 R_T を 1 つ用いる、Class II シグナル・パラレル・ターミネーションです。回路の例を Figure 1 に示します。

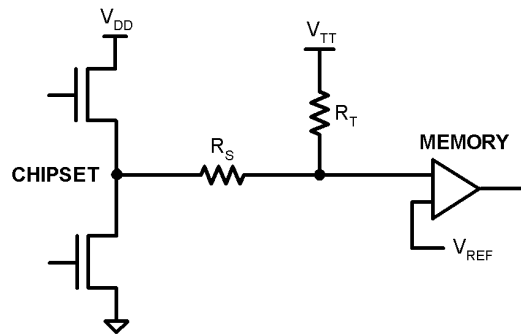


FIGURE 1.

端子説明

AV_{IN} および PV_{IN}

AV_{IN} および PV_{IN} は LP2995 の電源端子です。AV_{IN} は、全内部回路、2 つのオペアンプ、V_{REF} 出力段の電源として用いられます。PV_{IN} は、V_{TT} 生成用パワー・オペアンプの出力段専用電源です。SSTL-2 アプリケーションでは、AV_{IN} と PV_{IN} 端子をともに 2.5V 電源に接続すると、最適性能が得られます。短絡により 2 つの端子を個別にバイパスする必要はありません。

V_{DDQ}

V_{DDQ} は入力で、V_{TT} と V_{REF} のレギュレートに必要な内部リファレンス電圧の生成に使われます。内部リファレンス電圧は、2 つの 50k 内蔵抵抗によって V_{DDQ} を分圧して作られます。これによって、V_{TT} と V_{REF} の V_{DDQ}/2 に対する正確な追従が得られます。DIMM またはチップセットの V_{DDQ} 電源に対して、リモート・センスとなるように V_{DDQ} 端子に配線してください。具体的には DIMM 用 2.5V 電源を V_{DDQ} 端子に直接接続します。こうすると内部リファレンス電圧は、電源配線での電圧降下の影響を受けずに、DDR メモリ部の電源電圧に正確に追従します。SSTL-2 アプリケーションで V_{DDQ} は 2.5V なので、リファレンス電圧 V_{REF} およびターミネーション電圧 V_{TT} として 1.25V が生成されます。一方 SSTL-3 アプリケーションでは、0.5 以外の係数を用いて内部リファレンス電圧を生成することが望ましい場合があります。たとえば、よく用いられているリファレンス電圧は、V_{DDQ} × 0.45 です。V_{DDQ} 端子に直列抵抗を挿入し内蔵抵抗との抵抗分圧比を変更すると係数を変えられます。

V_{SENSE}

本センス端子の目的は、遠端のロード・レギュレーションの改善にあります。多くのマザーボードでは、V_{TT} は長い配線を通してターミネーション抵抗に接続されます。このとき LP2995 の出力点で電圧のセンスを行うと、長い配線によって起こる大きな電圧降下により、バス端のターミネーション電圧はバスの他点より低くなってしまふ問題が生じます。そこでバスの中点付近の電圧を V_{SENSE} 端子に与え、バス遠端で電圧が低下する問題を改善するようにしてください。この方法によりバス全体の電圧が良好に保たれます。

Note: 遠端でのロード・レギュレーションを行わない場合は、V_{SENSE} 端子には V_{TT} を与えなければなりません。

V_{REF}

V_{REF} は内部リファレンス電圧 V_{DDQ}/2 のバッファ出力です。本出力は、ノースブリッジ・チップセットとメモリに対するリファレンス電圧として使用します。通常それらの入力のインピーダンスは高いので、V_{REF} 端子を流れる電流はわずかです。ノイズ対策として端子近くにバイパス・コンデンサを設けると、レギュレーション性能が改善されます。推奨品は 0.1 μF ~ 0.01 μF のセラミック・コンデンサです。

V_{TT}

V_{TT} はバスのターミネーション抵抗に与えられるレギュレート電圧出力です。V_{DDQ}/2 電圧に高い精度で追従し、併せて電流ソースと電流シンク的能力を備えています。LP2995 は、高速応答によって最大 ±3A までのピーク電流変動に対応できるように設計されています。最大連続電流は V_{IN} の関数で、「代表的な性能特性」の "Maximum Output Current" グラフに記載されています。最大連続電流定格を超える変動が長時間にわたり見込まれるのであれば、出力コンデンサ容量を十分大きくして過度の電圧低下の発生を防いでください。LP2995 は出力電流の大きな変動にも耐え得るように設計されていますが、すべての条件のもとで、そのような状況に長時間対応するのは困難です。その理由は、小型の標準パッケージを採用しているため、過大な内部電力損失によって生じる熱を逃がせないためです。長時間にわたり大電流が求められる場合は、最大接合部温度を超えないように注意が必要です。熱に応じて、使用定格を適切に下げてください（「放熱」の項を参照）。

部品の選択

入力コンデンサ

LP2995 は、入力安定化を目的とする入力コンデンサは必要ではありません。ただし大きな負荷変動時に入力電圧の低下を防ぐために、入力コンデンサの使用を推奨します。入力コンデンサは、可能な限り PV_{IN} の近くに配置します。アプリケーションの要件によって推奨条件が異なります。アルミ電解コンデンサを用いた場合、推奨容量は 50 μF です。セラミック・コンデンサを用いる場合は、容量は 10 μF 前後とし、誘電体の温度特性が X5R 以上のコンデンサが理想的といえます。なお、LP2995 が 2.5V DC/DC コンバータの出力コンデンサの近くにレイアウトされている場合は、入力コンデンサを省略しても構いません。

出力コンデンサ

LP2995 は、出力コンデンサの容量と ESR（等価直列抵抗）に依存しないよう設計されています。そのため柔軟にコンデンサを選択できます。出力コンデンサは、アプリケーションと負荷変動に対する V_{TT} の応答要求に基づいて決めてください。DDR-SDRAM を用いた SSTL アプリケーションでは、100 μF 以上の低 ESR コンデンサを一般的に推奨します。このうち ESR は、見込まれる最大電流スパイクと、許容される出力電圧低下から決定してください。入手可能なコンデンサ類のうち、代表的な品種について次に説明します。

AL - アルミ電解コンデンサ は 120Hz におけるインピーダンスのみを規定している点に注意が必要で、これは高い周波数領域では特性が劣ることを示しています。LP2995 回路にアルミ電解コンデンサを適用できる条件は、20kHz ~ 100kHz の高い周波数領域でもインピーダンスが規定されている場合に限られます。アルミ電解コンデンサを複数個並列に接続すると総 ESR を下げられます。ただし問題点は ESR が温度により変化すれば、低温になると ESR が急激に増大します。

セラミック - セラミック・コンデンサ は、一般的に容量は 10 μF ~ 100 μF と大きくありませんが、ESR が極めて小さい（通常 10mΩ 以下）ため、優れたノイズ・バイパス特性を備えています。しかし使用している誘電体の種類によっては、電圧と温度に対して十分な特性を備えていないものも存在します。一般的に容量が小さいといった理由により、セラミック・コンデンサはアルミ電解コンデンサなどに並列接続しての使用を推奨します。また使用するすべてのセラミック・コンデンサには、誘電体の温度特性が X5R 以上の品種を推奨します。

化合物 - OS-CON（有機半導体） や **SP（機能性高分子）** のような化合物を用いたコンデンサが、数社からリリースされています。これらのコンデンサは低 ESR を維持しながら大きな容量を実現しています。他のコンデンサに比べてコストは高くなりますが、実装サイズと性能が重要な場合に最適なソリューションといえます。

放熱

LP2995 はリニア・レギュレータなので、熱の原因となる内部消費電力が V_{TT} 電流によって発生します。デバイスを損壊から守るには最大許容接合部温度を超えてはならないので、見込まれる最大周囲温度と消費電力にもとづき、デバイスを定格以下で動作させるよう注意を払う必要があります。最大許容内部温度上昇 (T_{Rmax}) は、アプリケーションで与えられる最大周囲温度 (T_{Amax}) と、最大許容接合部温度 (T_{Jmax}) から求められます。

$$T_{Rmax} = T_{Jmax} - T_{Amax}$$

この式から、デバイスの最大消費電力 (P_{Dmax}) は次式で示されます。

$$P_{Dmax} = T_{Rmax} / \theta_{JA}$$

LP2995 の θ_{JA} は、使用しているパッケージ、プリント基板の銅箔厚み、スルーホールの数、エアフローで決まります。たとえば SO-8 パッケージを、標準的な $203 \times 102\text{mm}$ 、銅箔厚み $35\mu\text{m}$ の基板に実装し、エアフローなしの室温で 0.5W を消費させた場合の θ_{JA} は、 $163 \text{ } ^\circ\text{C/W}$ です。また JEDEC スタンドの $76 \times 102\text{mm}$ 、 $70\mu\text{m}$ 厚銅箔の基板を用いると、 θ_{JA} は $151.2 \text{ } ^\circ\text{C/W}$ に低下します。Figure 2 に上記 2 つの基板における、エアフローに対する θ_{JA} の変化を示します。

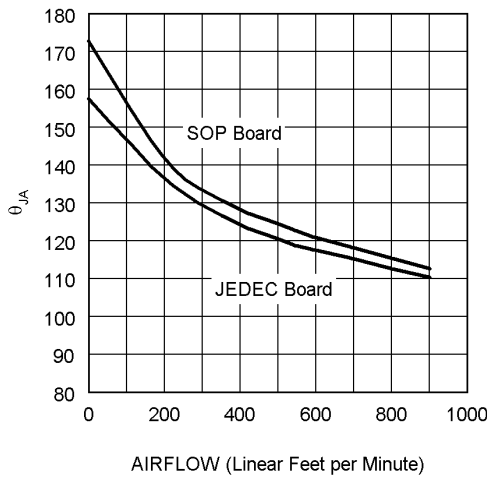


FIGURE 2. θ_{JA} vs Airflow (SO-8)

LLP パッケージの出力電流を最大限に引き出す上で、基板レイアウトも極めて重要です。DAP 直下に単純にスルーホールを打つだけでも、 θ_{JA} を大幅に低下できます。Figure 3 は、 $18\mu\text{m}/35\mu\text{m}/35\mu\text{m}/18\mu\text{m}$ の銅箔で構成される 4 層 JEDEC 基板に実装した場合の LLP パッケージの熱特性です。スルーホールを間隔 1.27mm で最大 4 つに増やした時、 $50.41 \text{ } ^\circ\text{C/W}$ の θ_{JA} が得られます。このグラフにおけるスルーホールのメッキ厚は $36\mu\text{m}$ です。

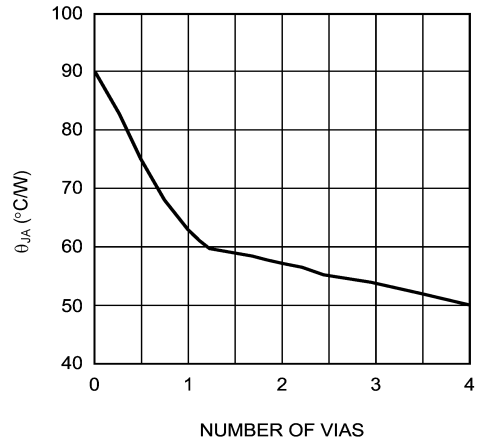


FIGURE 3. LLP-16 θ_{JA} vs # of Vias (4 Layer JEDEC Board)

パッケージに定常的なエアフローを与えても θ_{JA} は低下します。上記条件で 2×2 のスルーホール配列を用いた場合、エアフローによる θ_{JA} の低下を Figure 4 に示します。

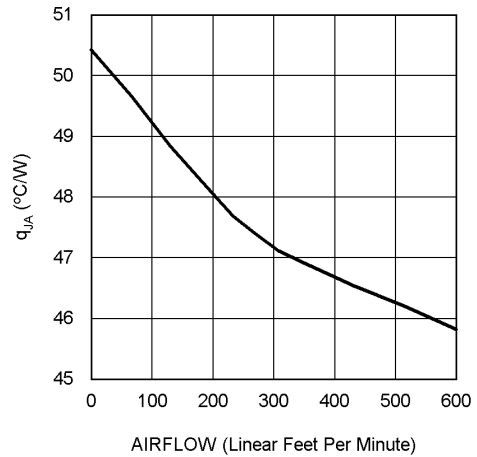


FIGURE 4. θ_{JA} vs Airflow Speed (JEDEC Board with 4 Vias)

代表的なアプリケーション回路

Figure 5 に、DDR-SDARM の SSTL-2 ターミネーション方法に用いられる代表的なアプリケーション回路を示します。

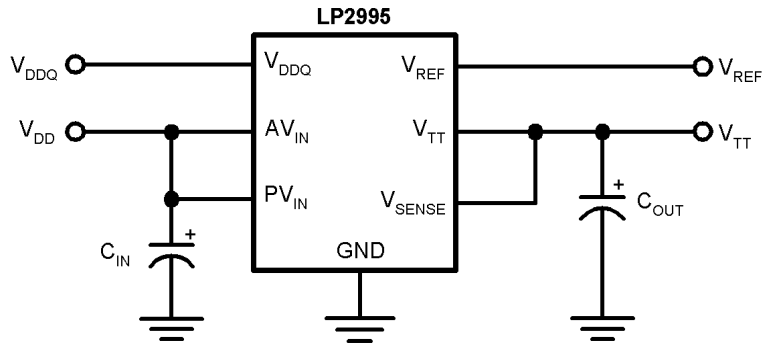


FIGURE 5. SSTL-2 Implementation

内蔵されている 2 つの 50kΩ 抵抗の分圧により、 V_{TT} 出力は $V_{DDQ} \times 0.5$ に等しくなります。一方 SSTL-3 アプリケーションまたはその他のアプリケーションでは、0.5 以外の係数を用いて内部リファレンス電圧を生成することが望ましい場合があります。その場

合の回路を Figure 6 に示します。 V_{DDQ} 端子に外部抵抗を直列に接続して、リファレンス電圧を下げられます。たとえば 11.1kΩ 抵抗を追加すると分圧比が変わるため内部リファレンス電圧が下がります。 V_{TT} と V_{REF} 出力は $V_{DDQ} \times 0.45$ に追従するようになります。

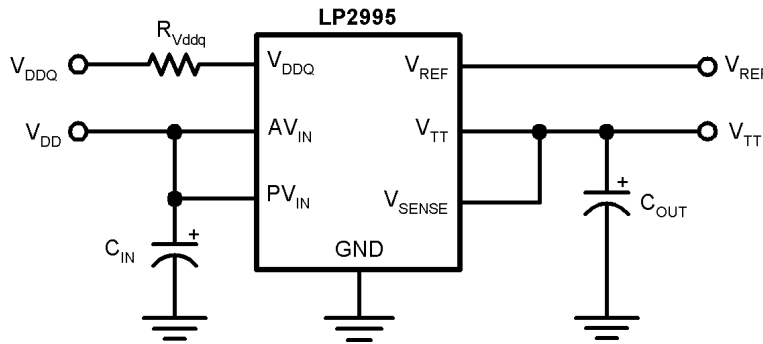


FIGURE 6. SSTL-3 Implementation

またアプリケーションによっては、逆に V_{TT} 出力を $V_{DDQ} \times 0.5$ より高くする必要があります。その場合は抵抗分圧ネットワークを V_{TT} と GND 間に挿入し V_{SENSE} に分圧した電圧を与えると、 V_{REF}

電圧とは独立して V_{TT} 電圧を高められます。回路例を Figure 7 に示します。

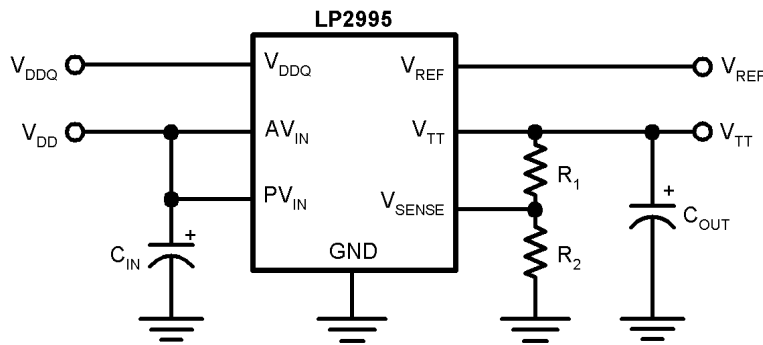
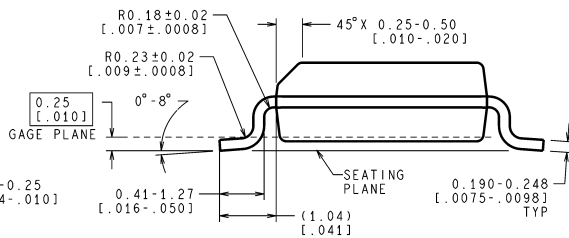
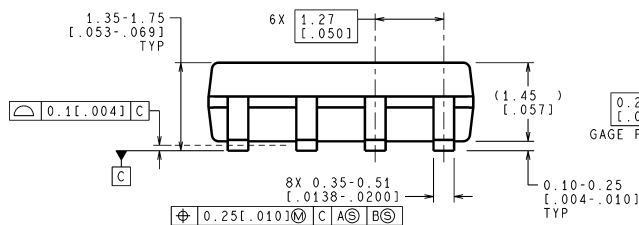
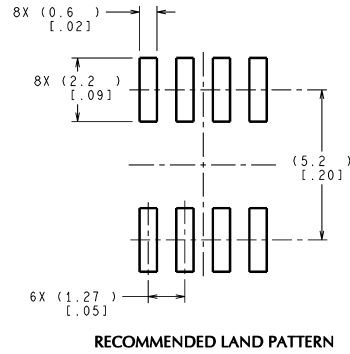
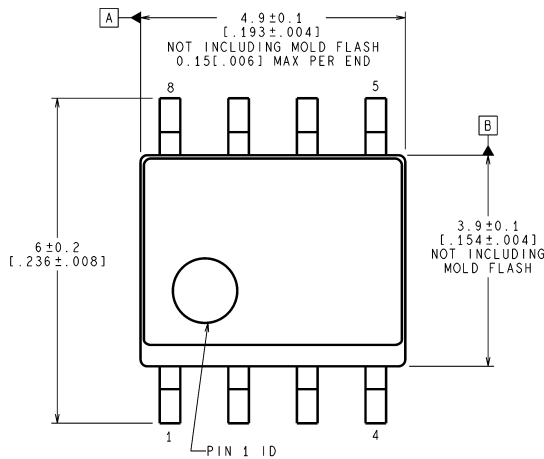


FIGURE 7.

プリント基板レイアウトの考慮事項

1. 最適な性能を得るために AV_{IN} 端子と PV_{IN} 端子同士は短絡してください。またバイパス・コンデンサを PV_{IN} 端子の可能な限り近くに配置してください。
2. GND 端子は、熱特性を高めるために、複数のスルーホールによってグラウンド・プレーンに接続してください。
3. V_{SENSE} 端子には、 V_{TT} ターミネーションされるバスのレギュレーションが必要な点に接続してください。マザーボード・アプリケーションではターミネーション・バスの中点が理想的です。
4. V_{DDQ} 入力は、DIMMまたはチップセットの V_{DDQ} 電源に対してリモート・センスとなるように接続します。内部リファレンス電圧を最も精度高く生成できるようになります。
5. V_{REF} にはレギュレーション性能の改善のため、 $0.1\mu\text{F} \sim 0.01\mu\text{F}$ のセラミック・コンデンサを接続してノイズをバイパスしてください。コンデンサは V_{REF} 端子の可能な限り近くに配置してください。

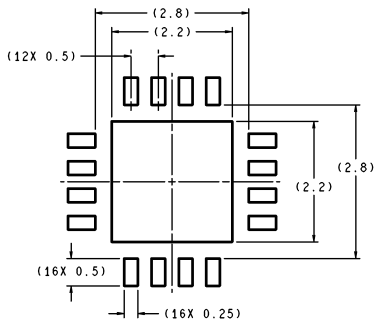
外形寸法図 単位は millimeters



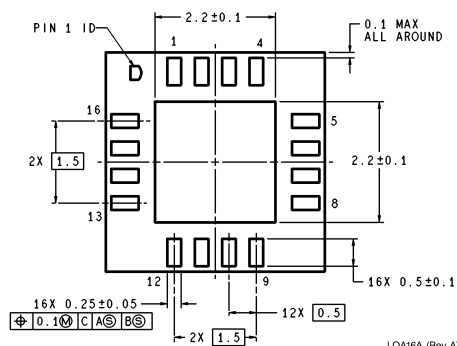
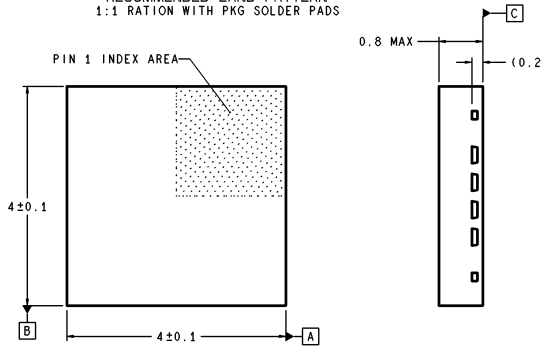
CONTROLLING DIMENSION IS MILLIMETER
VALUES IN [] ARE INCHES
DIMENSIONS IN () FOR REFERENCE ONLY

M08A (Rev K)

8-Lead Small Outline Package (M8)
NS Package Number M08A

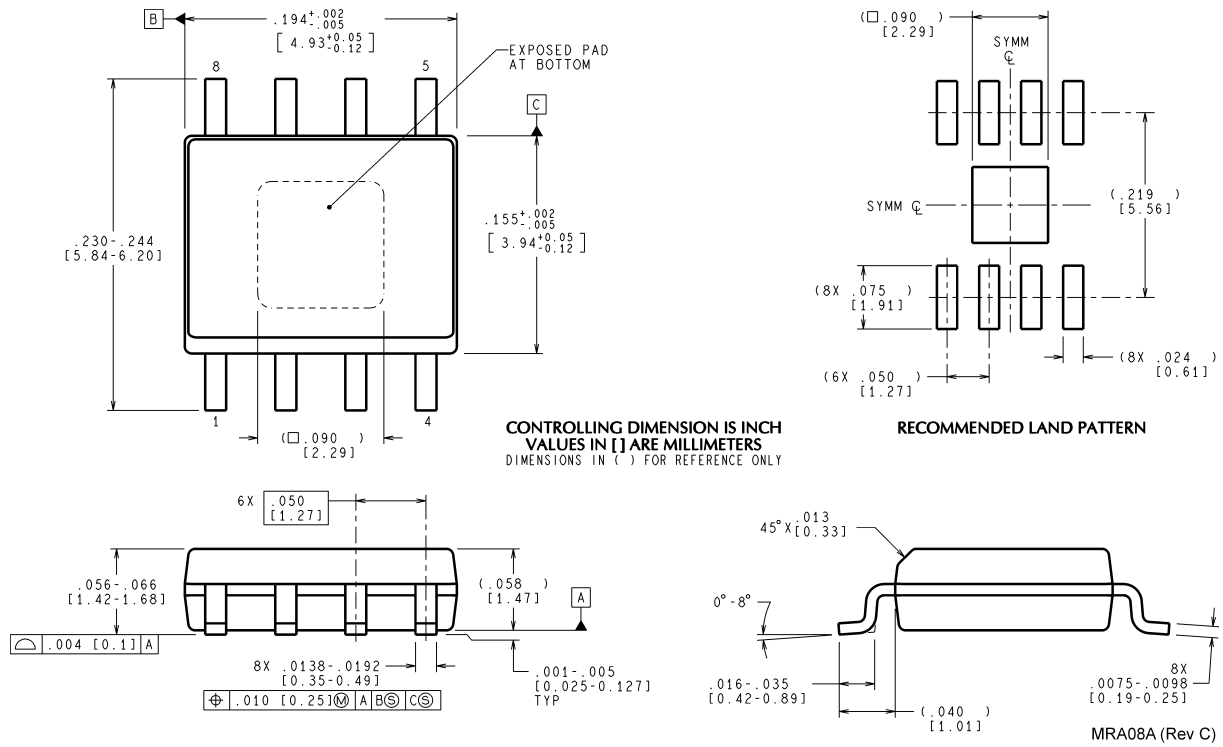


RECOMMENDED LAND PATTERN
1:1 RATION WITH PKG SOLDER PADS



16-Lead LLP Package (LD)
NS Package Number LQA16A

外形寸法図 特記のない限り inches (millimeters) (つづき)



8-Lead PSOP Package (PSOP-8)
NS Package Number MRA08A

ナショナルは記述したいかなる回路についても、その使用に関して責任を負うものではありません。特許の使用許諾を与えることを意味するものではありません。ナショナルは当該回路および仕様を任意の時点で予告なく変更する権利を有します。製品の最新情報については www.national.com をご覧ください。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

禁止物質不使用に関する適合

ナショナル セミコンダクターの製品および梱包材料は、CSP-9-111C2規格 (Customer Products Stewardship Specification)、CSP-9-111S2規格 (Banned Substances and Materials of Interest Specification) の規約に準拠しており、CSP-9-111S2 に定義された禁止物質を使用しておりません。鉛フリー製品は RoHS 指令に対応しております。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。