

LMH0056

4:1 入力マルチプレクサ付き HD/SD SDI リクロッカ

概要

LMH0056 4:1 入力マルチプレクサ付き HD/SD SDI リクロッカは、SMPTE 292M および SMPTE 259M (A & C) 規格に準拠したシリアル・デジタル・ビデオ・データをリタイミングします。LMH0056 はシリアル・データ・レート 143Mbps、270Mbps、1.483Gbps、1.485Gbps で動作します。LMH0056 は 270Mbps の DVB-ASI もサポートします。LMH0056 は、リタイミングのために 4 つの入力データ・ストリームから 1 つを選択する 4:1 入力マルチプレクサを内蔵しています。

LMH0056 は自動的に入力データ・レートを検出し、それに合わせて入力データのリタイミングを行い、累積されたジッタを抑制します。LMH0056 はシリアル・データ・レート・クロックを復元し、オプションとして、このクロックを出力します。LMH0056 には 2 つの差動シリアル・データ出力があります。2 つ目の出力を低ジッタ、データ・レート・クロック出力として選択できます。制御、表示機能には、シリアル・クロックと第 2 シリアル・データ出力の選択、手動レート選択、SD/HD レート表示出力、ロック検出出力、自動 / 手動データ・バイパス、出力ミュートがあります。シリアル・データ入力、出力ならびにシリアル・データ・レート・クロック出力は差動 LVPECL 互換です。CML シリアル・データおよびシリアル・データ・レート・クロック出力は、100 の差動終端ネットワークを駆動するのに適しています。制御ロジック入力および出力は LVCMOS 互換です。

LMH0056 は 3.3V 単一電源で動作します。消費電力は、標準で 360mW です。デバイスは 48 ピンの LLP パッケージで供給されます。

特長

SMPTE 292M および SMPTE 259M (A & C) シリアル・デジタル・ビデオ規格をサポート

シリアル・データ・レート 143Mbps、270Mbps、1.483Gbps、1.485Gbps での動作をサポート

270Mbps の DVB-ASI をサポート

3.3V 単一電源動作

消費電力 360mW (typ)

内蔵 4:1 マルチプレクス入力

2 つの差動リクロック出力

出力はリクロック 2 出力ないし低ジッタの差動データ・レート・クロック出力として選択可能

単一の 27MHz 外部水晶または基準クロック入力

手動レート選択入力

SD/HD 動作レート表示出力

ロック検出表示出力

データおよびクロック用の出力 MUTE 機能

自動 / 手動リクロッカ・バイパス

差動 LVPECL 互換のシリアル・データ入出力

LVCMOS 制御入力および表示出力

48 ピン LLP パッケージ

工業用温度範囲： - 40 ~ + 85

アプリケーション

下記の機器用の SDTV/HDTV シリアル・デジタル・ビデオ・インタフェース

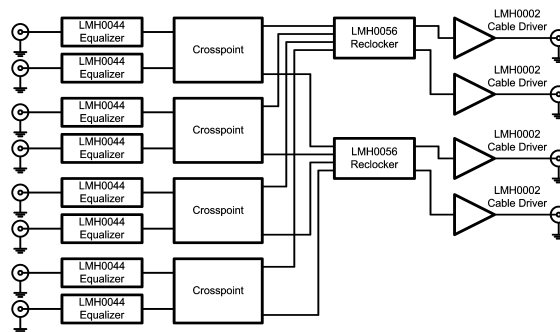
デジタル・ビデオ・ルータおよびスイッチャ

デジタル・ビデオ処理および編集機器

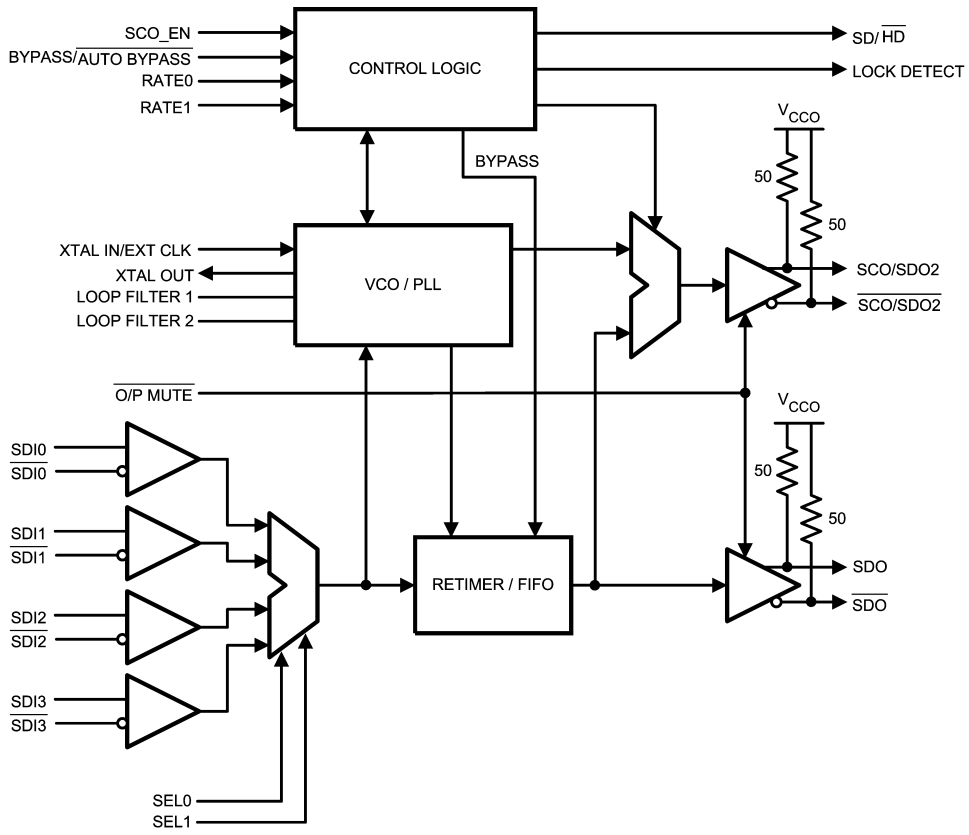
DVB-ASI 機器

ビデオ規格およびフォーマット変換装置

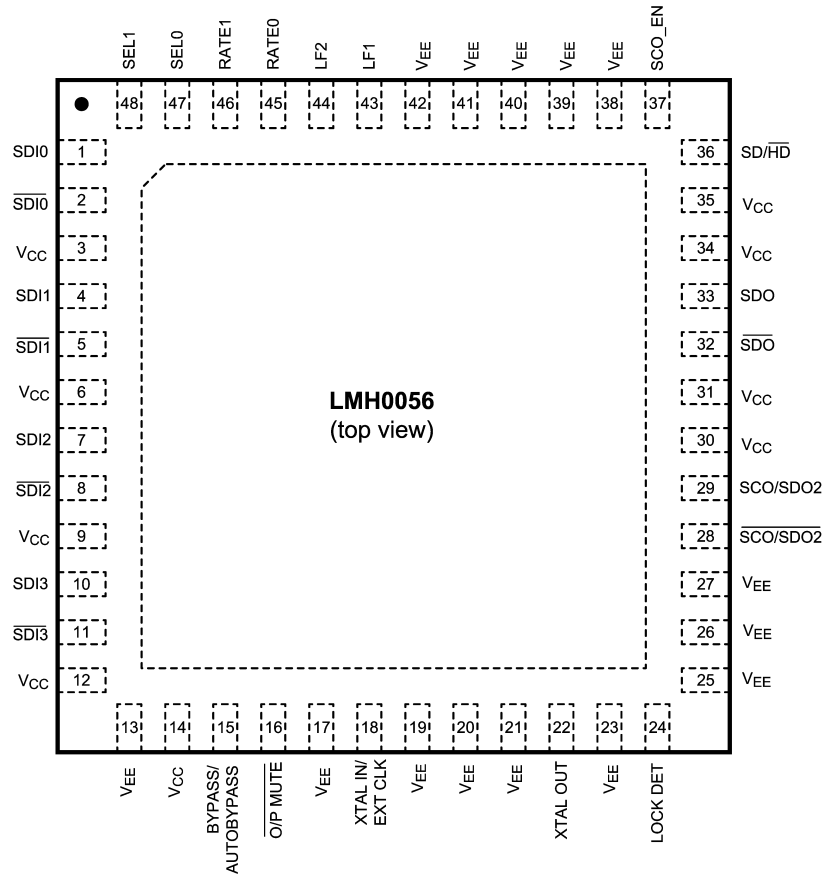
代表的なアプリケーション



ブロック図




ピン配置図



露出しているダイ・アタッチ・パッドは、このデバイスでは主となる負電力端子となります。これを負の電源電圧に接続する必要があります。

48-Pin LLP
Order Number LMH0056SQ
See NS Package Number SQA48A

 説明

ピン	名称	説明
1	SDI0	非反転データ入力 0
2	$\overline{\text{SDI0}}$	反転データ入力 0
3	V _{CC}	正電源入力
4	SDI1	非反転データ入力 1
5	$\overline{\text{SDI1}}$	反転データ入力 1
6	V _{CC}	正電源入力
7	SDI2	非反転データ入力 2
8	$\overline{\text{SDI2}}$	反転データ入力 2
9	V _{CC}	正電源入力
10	SDI3	非反転データ入力 3
11	$\overline{\text{SDI3}}$	反転データ入力 3
12	V _{CC}	正電源入力
13	V _{EE}	負電源入力
14	V _{CC}	正電源入力
15	BYPASS/AUTO BYPASS	バイパス / 自動バイパス・モード選択
16	OUTPUT MUTE	データおよびクロック出力ミュート入力 (アクティブ Low)
17	V _{EE}	負電源入力
18	XTAL IN/EXT CLK	水晶または外部発振器入力
19	V _{EE}	負電源入力
20	V _{EE}	負電源入力
21	V _{EE}	負電源入力
22	XTAL OUT	水晶発振器出力
23	V _{EE}	負電源入力
24	LOCK DETECT	PLL ロック検出出力 (アクティブ High)
25	V _{EE}	負電源入力
26	V _{EE}	負電源入力
27	V _{EE}	負電源入力
28	$\overline{\text{SCO/SDO2}}$	反転シリアル・クロックまたは反転シリアル・データ 2 出力
29	SCO/SDO2	非反転シリアル・クロックまたは非反転シリアル・データ 2 出力
30	V _{CC}	正電源入力
31	V _{CC}	正電源入力
32	$\overline{\text{SDO}}$	反転データ出力
33	SDO	非反転データ出力
34	V _{CC}	正電源入力
35	V _{CC}	正電源入力
36	SD/H $\overline{\text{D}}$	データ・レート範囲出力
37	SCO_EN	シリアル・クロックまたはシリアル・データ 2 出力の選択 (アクティブ High のときシリアル・クロック出力がイネーブル)
38	V _{EE}	負電源入力
39	V _{EE}	負電源入力
40	V _{EE}	負電源入力
41	V _{EE}	負電源入力
42	V _{EE}	負電源入力
43	LF1	ループ・フィルタ

ピン説明 (つぎ)

ピン	名称	説明
44	LF2	ループ・フィルタ
45	RATE 0	データ・レート選択入力
46	RATE 1	データ・レート選択入力
47	SEL0	データ入力選択入力
48	SEL1	データ入力選択入力
DAP	V _{EE}	Exposed DAP (ダイ・アタッチ・パッド) を負電源 (グラウンド) に接続

絶対最大定格 (Note 1)

このデバイスの軍用規格品は提供されません。本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ($V_{CC} - V_{EE}$)	4.0V
ロジック電源電圧 (V_i)	$V_{EE} - 0.15V \sim V_{CC} + 0.15V$
ロジック入力電流 (シングル入力)	
$V_i = V_{EE} - 0.15V$	- 5mA
$V_i = V_{EE} + 0.15V$	+ 5mA
ロジック出力電圧 (V_o)	$V_{EE} - 0.15V \sim V_{CC} + 0.15V$
ロジック出力ソース/シンク電流	$\pm 8mA$
シリアル・データ入力電圧 (V_{SDI})	$V_{CC} \sim V_{CC} - 2.0V$
シリアル・データ出力シンク電流 (I_{SDO})	24mA

パッケージ熱抵抗

JA 48 Ψ LLP	26.1	/W
JC 48 Ψ LLP	1.9	/W

保存温度 範囲	- 65	~ + 150
接合温度		+ 150
許容リード温度 (ハンダ付け 4 秒)	+ 260	(鉛不使用)
ESD 耐圧 (人体モデル)		8kV
ESD 耐圧 (マシン・モデル)		400V
ESD 耐圧 (CDM)		1250V

推奨動作条件

電源電圧 ($V_{CC} - V_{EE}$)	3.3V \pm 5%
ロジック入力電圧	$V_{EE} \sim V_{CC}$
差動シリアル入力電圧	800mV \pm 10%
シリアル・データまたはクロック出力シンク電流 (I_{SO})	最大 16mA
動作温度範囲 (T_A)	- 40 ~ + 85

DC 電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。(Note 2、3)

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
V_{IH}	Input Voltage High Level		Logic inputs	2		V_{CC}	V
V_{IL}	Input Voltage Low Level			V_{EE}		0.8	V
I_{IH}	Input Current High Level	$V_{IH} = V_{CC}$			1	65	μA
I_{IL}	Input Current Low Level	$V_{IL} = V_{EE}$			-1	-25	μA
V_{OH}	Output Voltage High Level	$I_{OH} = -2 mA$	Logic outputs	2			V
V_{OL}	Output Voltage Low Level	$I_{OL} = +2 mA$				$V_{EE} + 0.6$	V
V_{SDID}	Serial Input Voltage, Differential		SDI	200		1600	mV _{P-P}
V_{CMI}	Input Common Mode Voltage			$V_{CC}-1.6$		$V_{CC}-0.2$	V
V_{SDOD}	Serial Output Voltage, Differential	100 Ω differential load	SDO, SCO	720	800	880	mV _{P-P}
V_{CMO}	Output Common Mode Voltage	100 Ω differential load			$V_{CC}-$ V_{SDOD}		V
I_{CC}	Power Supply Current, 3.3V supply, Total	1485 Mbps, NTSC color bar pattern			109		mA

AC 電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。(Note 3)

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
BR _{SD}	Serial Data Rate	SMPTE 259M, A	SDI, SDO		143		Mbps
BR _{SD}	Serial Data Rate	SMPTE 259M, C			270		Mbps
BR _{SD}	Serial Data Rate	SMPTE 292M			1483, 1485		Mbps
TOL _{JIT}	Serial Input Jitter Tolerance	143 or 270 Mbps, (Notes 7, 9, 12)	SDI		>6		UI _{p-p}
TOL _{JIT}	Serial Input Jitter Tolerance	143 or 270 Mbps, (Notes 7, 8, 10)		>0.6			UI _{p-p}
TOL _{JIT}	Serial Input Jitter Tolerance	1483 or 1485 Mbps, (Notes 7, 8, 9)		>6			UI _{p-p}
TOL _{JIT}	Serial Input Jitter Tolerance	1483 or 1485 Mbps, (Notes 7, 8, 10)		>0.6			UI _{p-p}
t _{JIT}	Serial Data Output Jitter	143 Mbps, (Notes 8, 11)	SDO		0.02	0.08	UI _{p-p}
t _{JIT}	Serial Data Output Jitter	270 Mbps, (Notes 8, 11)			0.02	0.08	UI _{p-p}
t _{JIT}	Serial Data Output Jitter	1483 or 1485 Mbps, (Notes 8, 11)			0.05	0.1	UI _{p-p}
BW _{LOOP}	Loop Bandwidth	270 Mbps, <0.1dB Peaking			300		kHz
		1485 Mbps, <0.1dB Peaking			2.0		MHz
F _{CO}	Serial Clock Output Frequency	143 Mbps data rate	SCO		143		MHz
F _{CO}	Serial Clock Output Frequency	270 Mbps data rate			270		MHz
F _{CO}	Serial Clock Output Frequency	1483 Mbps data rate			1483		MHz
F _{CO}	Serial Clock Output Frequency	1485 Mbps data rate			1485		MHz
t _{JIT}	Serial Clock Output Jitter				2	3	ps _{RMS}
	Serial Clock Output Alignment with respect to Data Interval		SDO, SCO	40		60	%
	Serial Clock Output Duty Cycle		SCO	45		55	%
T _{ACQ}	Acquisition Time	Auto-Rate Detect Mode, (Notes 4, 6)			10	16	ms
		Fixed Rate Mode, (Notes 4, 6)			1	6	ms
t _r , t _f	Input rise/fall time	10%–90%	Logic inputs		1.5	3	ns
t _r , t _f	Input rise/fall time	20%–80%, 143 or 270 Mbps	SDI			1500	ps
t _r , t _f	Input rise/fall time	20%–80%, 1483 or 1485 Mbps				270	ps
t _r , t _f	Output rise/fall time	10%–90%	Logic outputs		1.5	3	ns
t _r , t _f	Output rise/fall time	20%–80%, (Note 5)	SDO, SCO		90	130	ps
F _{REF}	Reference Clock Frequency				27		MHz
F _{TOL}	Reference Clock Frequency Tolerance				±50		ppm

- Note 1:** 「絶対最大定格」とは、この値を超えるとデバイスの寿命と動作を保証できない制限値のことを意味します。ここで明記された最大値は、各デバイス これらの制限値またはそれに近い値で動作させることが可能または必要であることを意味するものではありません。「電気的特性」の表にデバイスの許容動作条件が示されています。
- Note 2:** デバイス・ピンに流れ込む電流を正と規定しています。デバイス・ピンから流れ出る電流を負と規定しています。すべての電圧は、 $V_{EE} (= 0V)$ を基準としています。
- Note 3:** 代表値は $V_{CC} = +3.3V$ 、 $T_A = +25$ における値です。
- Note 4:** 仕様は設計によって保証されています。
- Note 5:** $R_L = 100$ 差動。
- Note 6:** SDI の最初の遷移からロック検出 (LD) 出力が High (真) になるまでを測定。
- Note 7:** SMPTE RP 184-1996 の 4.1 項による正弦変調を行ったピーク・ツー・ピーク振幅。テスト・データ信号はカラー・バーを想定しています。
- Note 8:** このパラメータは電圧と温度の制限範囲における特性評価によって保証されています。
- Note 9:** SMPTE RP 184-1996 の Figure 1 の "A1" を参照してください。
- Note 10:** SMPTE RP 184-1996 の Figure 1 の "A2" を参照してください。
- Note 11:** シリアル・データ出力ジッタは、 $0.2UI_{p,p}$ の入力ジッタとの合計出力ジッタです。
- Note 12:** SDI 測定機器の制限に対応して特性評価されています。

デバイスの説明

LMH0056 4:1 入力マルチプレクサ付き HD/SD SDI リクロックは、多くのタイプのデジタル・ビデオ信号処理機器で使用されています。SMPTE 259M (A & C) および SMPTE 292M シリアル・デジタル・ビデオ規格がサポートされます。シリアル・データ・レート 143Mbps、270Mbps、1.483Gbps、1.485Gbps に対応します。270Mbps の DVB-ASI データもリタイミングできます。LMH0056 は、累積されたジッタを抑制するためシリアル・データ・ストリームをリタイミングします。2 つの低ジッタ差動シリアル・データ出力があります。2 つ目の出力は、シリアル・データ出力または低ジッタのシリアル・データ・レート・クロック出力を選択できます。制御、表示機能には、シリアル・データ・レート・クロックと第 2 シリアル・データ出力の選択、手動レート選択入力、SD/HD レート出力、ロック検出出力、自動 / 手動データ・バイパス、出力ミュートがあります。

シリアル・データ入力は CML および LVPECL 互換です。シリアル・データおよびデータ・レート・クロック出力は差動 CML であり、LVPECL 互換レベルです。出力バッファは、AC 結合または DC 結合、終端された 100 Ω 差動負荷を駆動するよう設計されています。差動出力レベルは、100 Ω の AC 結合または DC 結合した差動負荷に対して $800\text{mV}_{\text{P-P}} \pm 10\%$ です。ロジック入力および出力は LVCMOS 互換です。

デバイス・パッケージは、48 ピン LLP で、露出したダイ・アタッチ・パッドが付いています。露出しているダイ・アタッチ・パッドはデバイスのグラウンド (V_{EE}) に電気的に接続されており、このデバイスでは主となる負電力端子となります。この端子を負の電源またはグラウンドに接続する必要があります。

シリアル・データ入力、シリアル・データ出力、クロック出力

シリアル・データ入力と出力

差動シリアル・データ入力 SDI0-SDI3 は、Table 1 で指定するレートでシリアル・デジタル・ビデオ・データを受信します。シリア

ル・データ入力は差動 LVPECL 互換です。これらの入力は、LMH0034 アダプティブ・ケーブル・イコライザなどのデバイスに DC でインタフェースすることを想定しています。これらの入力は内部的に終端またはバイアスされていません。適当な入力バイアス電圧が供給される場合は、入力を AC 結合できます。

LMH0056 は 4 つの独立したマルチプレクス・データ入力があります。アクティブ入力チャンネルは、Table 2 に示すように SEL0 および SEL1 ピンを通じて選択されます。Figure 1 は、SDI[3:0] および $\overline{\text{SDI}}[3:0]$ の等価入力回路を示しています。

LMH0056 には 2 つのリタイミングされた差動シリアル・データ出力 SDO および SCO/SDO2 があります。これらの出力は、LMH0002 ケーブルドライバや LMH0031 デシリアライザなどのデバイスに低ジッタの差動、リタイミング・データを提供します。出力 SCO/SDO2 は多重化されていて、シリアル・データ 2 出力またはシリアル・データ・レート・クロックを出力します。Figure 2 は、SDO、 $\overline{\text{SDO}}$ 、SCO/SDO2、 $\overline{\text{SCO/SDO2}}$ の等価出力回路を示しています。

SCO_EN 入力は SCO/SDO2 出力の動作モードを制御します。SCO_EN 入力が High のとき、SCO/SDO2 出力はシリアル・データ・レート・クロックを出力します。SCO_EN 入力が Low のとき、SCO/SDO2 出力はリタイミングされたシリアル・データを出力します。

$\overline{\text{MUTE}}$ 入力が Low レベルのとき、差動シリアル・データ出力 SDO および SCO/SDO2 の両方がミュートされます。SCO/SDO2 は、この出力がシリアル・クロック出力として動作しているときにバイパス・モード時にもミュートされます。ミュートされているとき、SDO および $\overline{\text{SDO}}$ (または SDO2 および $\overline{\text{SDO2}}$) はそれぞれ逆極性の差動出力レベルとなります。CML シリアル・データ出力は差動 LVPECL 互換です。これらの出力は 50 Ω の内部プルアップ抵抗を備えており、AC 結合または DC 結合された 100 Ω のセンタータップ型 (AC グラウンド)、または 100 Ω の非センタータップ型差動終端ネットワークの駆動に適しています。

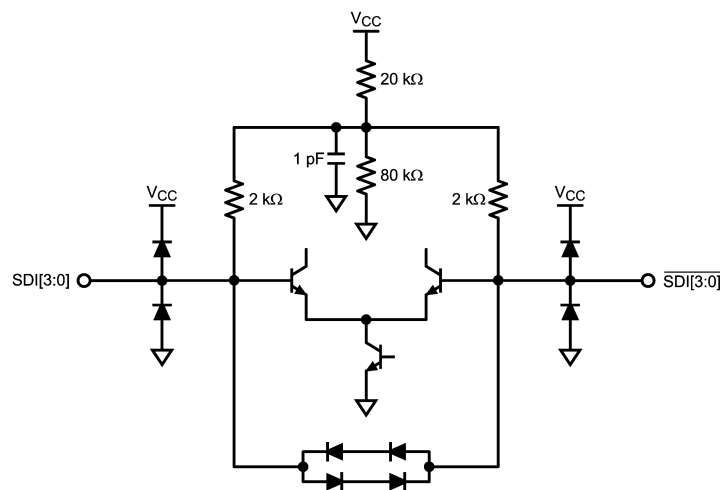


FIGURE 1. Equivalent SDI Input Circuit (SDI[3:0], $\overline{\text{SDI}}[3:0]$)

シリアル・データ入力、シリアル・データ出力、クロック出力(つき)

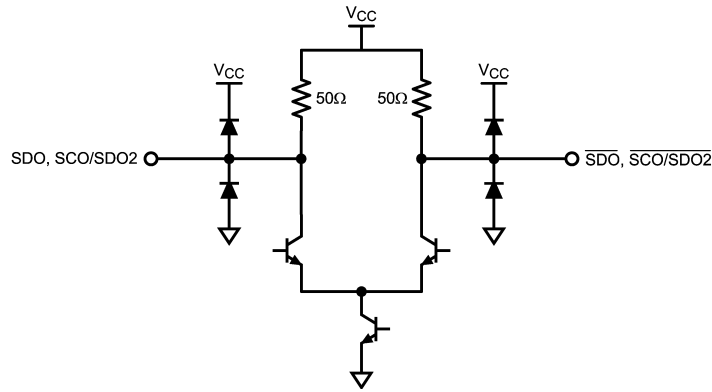


FIGURE 2. Equivalent SDO Output Circuit (SDO, SDO, SCO/SDO2, SCO/SDO2)

シリアル・データ・レート

このデバイスは、シリアル・データ・レート 143Mbps、270Mbps、1483Mbps、1485Mbps で動作します。デバイスはこれらのレートでハーモニック・ロックしません。デバイスは、177Mbps、360Mbps、540Mbps のデータ・レートではロックせず、自動的にリクロック・バイパス・モードに移行します。

シリアル・データ・クロック / シリアル・データ 2 出力

シリアル・データ・クロック / シリアル・データ 2 出力は SCO_EN 入力によって制御され、リタイミングされたシリアル・データ 2 出力、または処理するシリアル・データ・レートに応じた低ジッタ差動クロックを出力します。シリアル・クロック出力として動作するとき、クロックの立ち上がりエッジは対応するシリアル・データ・ビット・インターバルの中央から 10%以内のところに位置します。

SCO_EN 入力が Low レベルのとき、差動出力 SCO/SDO2 はシリアル・データ 2 出力として機能します。SCO_EN 入力が High レベルのとき、この出力はシリアル・データ・レート・クロック出力として機能します。SCO_EN 入力は内部プルダウン抵抗を備えており、SCO_EN のデフォルト状態は Low (シリアル・データ 2 出力がイネーブル) です。MUTE 入力が Low レベルのとき、SCO/SDO2 はミュートされます。バイパス・モード時、この出力がシリアル・クロック出力になっていると、出力はミュートされます。

制御入力と表示出力

シリアル・データ・レート選択

シリアル・データ・レート選択 (RATE [1:0]) によって動作データ・レートを固定できます。ピンは、外部から High 状態に駆動されない限り、内部プルダウン抵抗によって Low 状態に維持されます。この入力は、デバイスをテスト・モードに移行させるためにも使用されます。Table 1 に示すコードにより、希望する動作シリアル・データ・レートを選択します。このとき LMH0056 は、自動レート検出モード、または単一動作レートのいずれかになります。DVB-ASI データをリクロックするときにも、270Mbps レートを選択します。DVB-ASI データは MPEG2 コード化されたデータで 8B10B コーディングで送信されます。デバイスは、ハーモニック・ロックを起こすことなく、このデータをリクロックします。

TABLE 1. Data Rate Select Input Codes

RATE [1:0] コード	データ・レート またはモード	備考
00	自動レート検出モード	143Mbps レートは ARD モードでのみサポートされます
01	270Mbps	DVB-ASI 動作をサポートするためにも使用します
10	1483/1485Mbps	

制御入力と表示出力(つき)

シリアル・データ入力選択

シリアル・データ入力選択 (SEL [1:0]) により入力チャネルを選択します。Table 2 は、SEL [1:0] それぞれの状態で作成される入力を示します。

TABLE 2. Data Input Select Codes

SEL [1:0] Code	Selected Input
00	SDI0
01	SDI1
10	SDI2
11	SDI3

LOCK DETECT

Lock Detect (LD) 出力は、High のとき、データを受信し、PLL がロックしていることを示します。LD を MUTE 入力に接続して、

信号を受信しないときにデータおよびクロック出力をミュートすることができます。Table 3 を参照ください。

MUTE

MUTE 入力、Low のとき、シリアル・データおよびクロック出力をミュートします。このピンは LOCK DETECT ピン外部から駆動して出力のミュート、非ミュートを行います。MUTE が LD に接続されている場合、PLL がロックされていないときにデータおよびクロック出力がミュートされます。この機能はバイパス機能に優先します (Table 3 を参照)。デフォルトでは、MUTE の内部プルアップ抵抗によって、出力がイネーブルされます。

BYPASS/AUTO BYPASS

Bypass/Auto Bypass 入力は、High のとき、デバイスがリクロックせずにデータを出力するよう強制します。この入力が Low のとき、デバイスがアンロック状態のとき、あるいはデバイスがサポートしないデータ・レートを検出したとき、自動的にリクロック機能をバイパスします。Table 3 を参照ください。BYPASS/AUTO BYPASS は内部プルダウン抵抗を備えています。

TABLE 3. Control Functionality

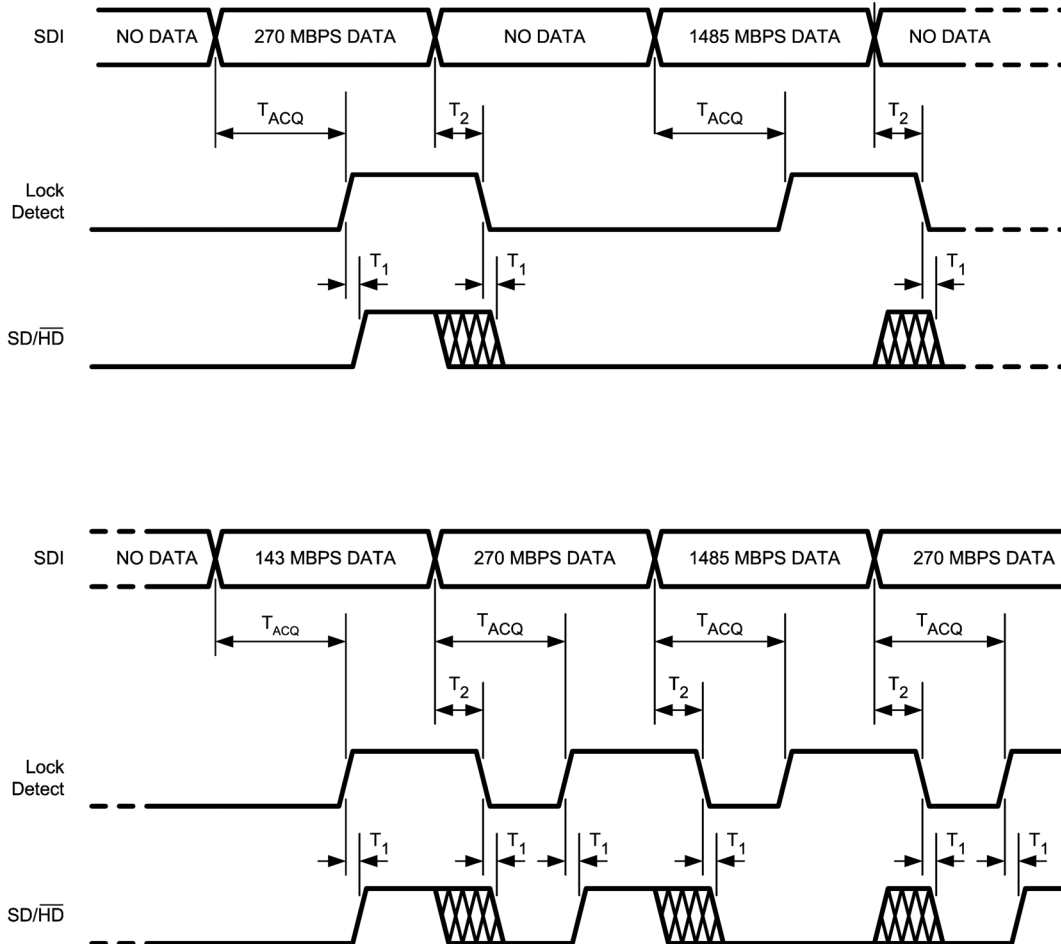
LOCK DETECT	OUTPUT MUTE	BYPASS/AUTO BYPASS	DEVICE STATUS
0	1	0	PLL はロックせず、リクロックはバイパスされます
1	1	0	PLL はサポートされたレートにロックし、リクロックはバイパスされません
X	0	X	出力はミュートされます
0	LOCK DETECT	X	出力はミュートされます
1	LOCK DETECT	0	PLL はサポートされたレートにロックし、リクロックはバイパスされません
1	LOCK DETECT	1	PLL はサポートされたレートにロックし、リクロックはバイパスされます
X	1	1	出力はミュートされず、リクロックはバイパスされます

制御入力と表示出力 (つぎ)

SD/HD

SD/HD 出力は、LMH0056 が処理しているデータ・レートが SD と HD のいずれであることを示します。LMH0002 ケーブル・ドライバなど、他のデバイスを制御するために使用できます。この出力は、High のとき、データ・レートが 270Mbps (または 143Mbps) であることを示します。Low のときは、データ・レートは 1483 または 1485Mbps です。SD/HD 出力はレジスタを使用する機能であ

り、PLL がロックされていて Lock Detect (ロック検出) 出力が High のときにだけ有効です。PLL がロックされていないとき (Lock Detect 出力が Low)、SD/HD 出力はデフォルト設定によって HD (Low) となります。ロック検出がアサートまたはデアサートされた直後、SDI でのデータ・レート変化のために、SD/HD 出力が短時間、不確定になります。Figure 3 のタイミング図は、SDI、Lock Detect と SD/HD の間の関係を示しています。



T_{ACQ} = 「AC 電氣的特性」の表に規定されたアキュジション時間

T₁ = ロック検出のアサートまたはネゲートから SD/HD 出力が有効になるまでの時間で、代表値は 37ns です (クロック周期 27MHz)。

T₂ = SDI 入力に変化してからロック検出のネゲートまでの時間で、最大値は 1ms です。この期間は出力が無効です。

FIGURE 3. SDI, Lock Detect, and SD/HD

制御入力と表示出力 (つぎ)

SCO_EN

入力 SCO_EN は、SCO/SDO2 差動出力がシリアル・データ・レート・クロックとして、またはシリアル・データ 2 出力として機能するようにします。SCO_EN が High のとき、SCO/SDO2 出力はシリアル・データ・レート・クロックとして機能します。このピンは内部プルダウン抵抗を備えています。デフォルト状態 (Low) では、SCO/SDO2 出力はシリアル・データ 2 出力として機能します。

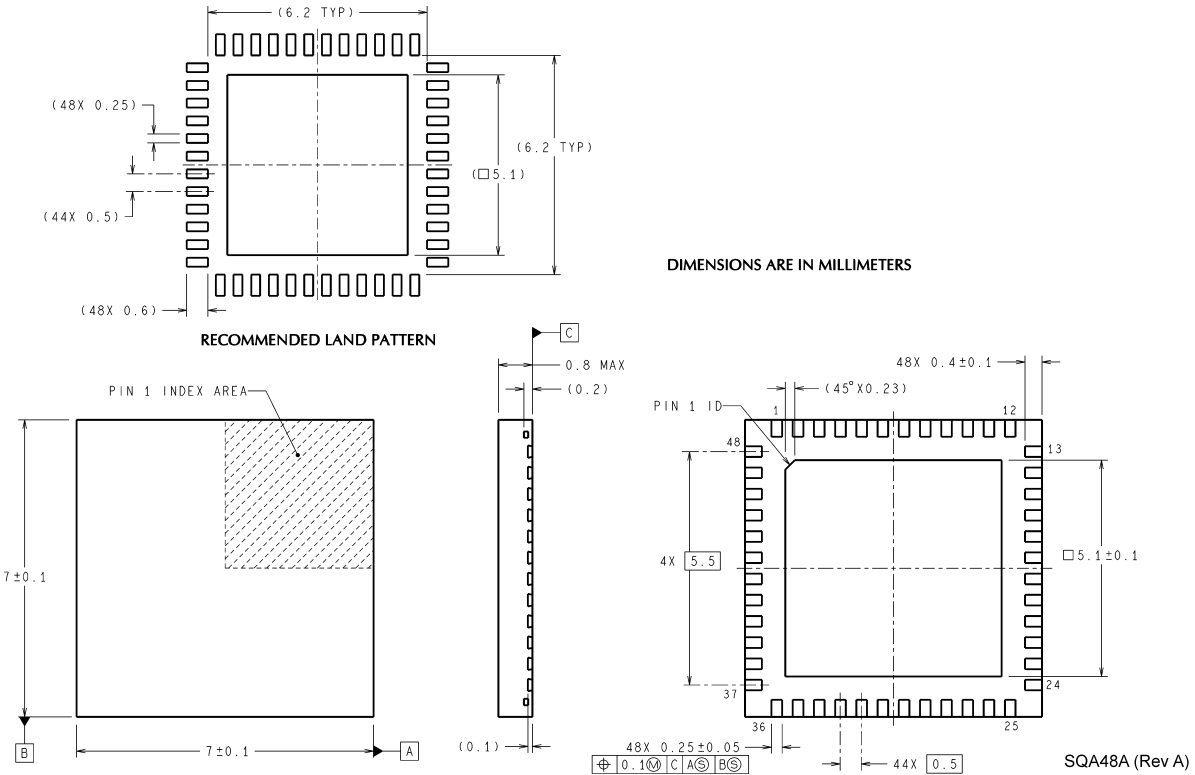
水晶または外部基準クロック

LMH0056 は 27MHz 水晶または外部クロック信号をタイミング基準入力として使用します。XTAL IN/EXT CLK および XTAL OUT ピンに 27MHz 並列共振水晶および負荷ネットワークを接続することができます。代わりに、27MHz LVCMOS 互換クロック信号を XTAL IN/EXT CLK に入力することもできます。適切な水晶共振器に関するパラメータを Table 4 に示しています。

TABLE 4. Crystal Parameters

パラメータ	値
周波数	27MHz
周波数安定性	± 50ppm (推奨ドライブ・レベルで)
動作モード	基本波モード、並列共振
負荷容量	20pF
シャント容量	7pF
直列抵抗	40 (max)
推奨ドライブ・レベル	100 μW
最大ドライブ・レベル	500 μW
動作温度範囲	- 10 ~ + 60

外形寸法図 単位は millimeters



48-Pin LLP
Order Number LMH0056SQ
NS Package Number SQA48A

このドキュメントの内容はナショナル セミコンダクター社 (以下ナショナル) 製品の関連情報として提供されます。ナショナルは、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナルがナショナルの製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルは製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナルの部品を使用した製品および製品適用の責任は購入者にあります。ナショナルの製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルとの取引条件で規定される場合を除き、ナショナルは一切の義務を負わないものとし、また、ナショナルの製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナルの製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。ここで、

生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター社の商標または登録商標です。一部のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/