

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2000年8月

LF411

低オフセット低ドリフト JFET 入力オペアンプ

概要

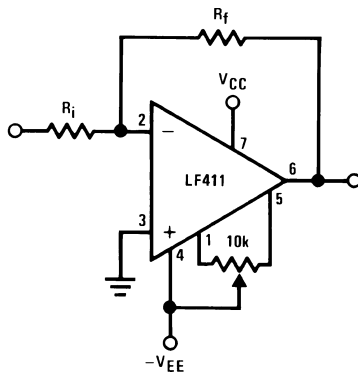
このデバイスは低価格・高速の JFET 入力オペアンプで非常に低い入力オフセット電圧をもっており、入力オフセット電圧ドリフトは保証付きとなっています。また、低消費電流で、利得帯域幅積及びスルーレートが高く、更に、JFET 入力回路は高耐圧で両入力とも特性がそろっており、非常に低い入力バイアスならびにオフセット電流となっています。LF411 は標準品である LM741 とピン・コンパチブルとなっており、現行の LM741 を使用した回路の総合特性を容易に向上させる事ができるようになっています。

このデバイスは種々の応用に用いられ、例えば高速積分器、高速 D/A コンバータ、サンプル&ホールド回路等の、低入力オフセット電圧及びドリフト、低入力バイアス電流、高入力インピーダンス、高スルーレート、及び広帯域を必要とするようなものがあげられます。

特長

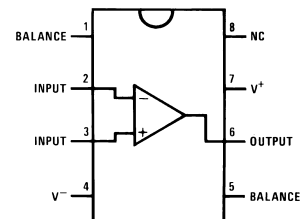
オフセット電圧、内部調整済み	0.5mV(最大)
入力オフセット電圧ドリフト	10 μ V/ (最大)
低入力バイアス電流	50 pA
低入力雑音電流	0.01 pA / $\sqrt{\text{Hz}}$
高利得帯域値	3MHz(最小)
高スルーレート	10V/ μ s(最小)
低消費電流	1.8mA
高入力インピーダンス	10 ¹²
低高周波歪	0.02%
低 1/f ノイズ・コーナ	50Hz
高速セトリング時間 (0.01%)	2 μ s

標準回路



ピン配置図

Dual-In-Line Package



Top View

Order Number LF411ACN, LF411CN
See NS Package Number N08E

BI-FET II™ はナショナル セミコンダクター社の商標です。

LF411 低オフセット低ドリフト JFET 入力オペアンプ

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照下さい。

N パッケージ

	LF411A	LF411	消費電力 (Note 3、10)	670mW
電源電圧	± 22V	± 18V	T_{jMAX}	115
差動入力電圧	± 38V	± 30V	jA	120 /W
入力電圧範囲 (Note 2)	± 19V	± 15V	動作温度範囲	(Note 4)
出力短絡時間	連続	連続	保存温度範囲	- 65 T_A 150
			リード温度 (ハンダ付け、10 秒)	260

DC 電気的特性 (Note 5)

Symbol	Parameter	Conditions	LF411A			LF411			Units
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\text{ k}$, $T_A = 25$		0.3	0.5		0.8	2.0	mV
V_{OS}/T	Average TC of Input Offset Voltage	$R_S = 10\text{ k}$ (Note 6)		7	10		7	20 (Note 6)	$\mu\text{V}/$
I_{OS}	Input Offset Current	$V_S = \pm 15\text{V}$ (Note 5, 7)	$T_j = 25$	25	100	25	100	pA	
			$T_j = 70$		2		2	nA	
			$T_j = 125$		25		25	nA	
I_B	Input Bias Current	$V_S = \pm 15\text{V}$ (Note 5, 7)	$T_j = 25$	50	200	50	200	pA	
			$T_j = 70$		4		4	nA	
			$T_j = 125$		50		50	nA	
R_{IN}	Input Resistance	$T_j = 25$		10^{12}		10^{12}			
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$, $R_L = 2\text{k}$, $T_A = 25$	50	200		25	200		V/mV
		Over Temperature	25	200		15	200		V/mV
V_O	Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10\text{k}$	± 12	± 13.5		± 12	± 13.5		V
V_{CM}	Input Common-Mode Voltage Range		± 16	+ 19.5		± 11	+ 14.5		V
				- 16.5			- 11.5		V
CMRR	Common-Mode Rejection Ratio	$R_S = 10\text{k}$	80	100		70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 8)	80	100		70	100		dB
I_S	Supply Current			1.8	2.8		1.8	3.4	mA

AC 電気的特性 (Note 5)

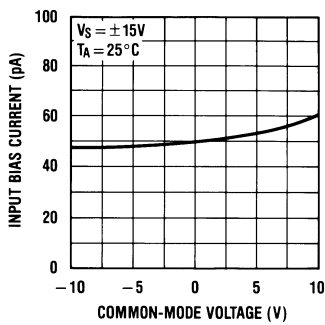
Symbol	Parameter	Conditions	LF411A			LF411			Units
			Min	Typ	Max	Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15\text{V}$, $T_A = 25$	10	15		8	15		V/ μs
GBW	Gain-Bandwidth Product	$V_S = \pm 15\text{V}$, $T_A = 25$	3	4		2.7	4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25$, $R_S = 100$, $f = 1\text{ kHz}$		25			25		nV/ $\sqrt{\text{Hz}}$
i_n	Equivalent Input Noise Current	$T_A = 25$, $f = 1\text{ kHz}$		0.01			0.01		pA/ $\sqrt{\text{Hz}}$
THD	Total Harmonic Distortion	$A_V = + 10$, $R_L = 10\text{k}$, $V_O = 20\text{ Vp-p}$, $\text{BW} = 20\text{ Hz} - 20\text{ kHz}$		< 0.02			< 0.02		%

AC 電氣的特性 (Note 5) (つづき)

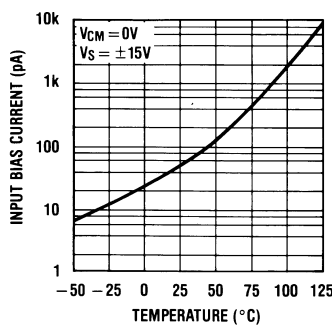
- Note 1:** 絶対最大定格とは、デバイスが破壊する可能性のあるリミット値をいいます。動作条件とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。
- Note 2:** 特記のない限り、絶対最大負入力電圧は印加されている負電源電圧と同一レベルになります。
- Note 3:** 高温動作時にはデバイス定格を熱抵抗 j_A に基づき下げなければなりません。
- Note 4:** これらのデバイスは LF411ACN そして LF411CN では動作温度範囲 $0 \leq T_A \leq +70$ が適用されます。
- Note 5:** 特記のない限り、これらの規格は LF411ACN そして LF411CN では温度範囲 $0 \leq T_A \leq +70$ をカバーする外、LF411A については $V_S = \pm 20V$ 、LF411 については $V_S = \pm 15V$ の場合に適用されます。また V_{OS} 、 I_B 、及び I_{OS} は $V_{CM} = 0$ において測定されるものとします。
- Note 6:** LF411A は本規格に従って全数検査されています。LF411 は少なくとも 90% が本規格を満足する様に抜き取り検査されています。
- Note 7:** 入力バイアス電流は接合部の漏洩電流であり接合部温度 T_j が $10^\circ C$ 上昇する度に約 2 倍になります。生産時には試験時間が限られているので測定された入力バイアス電流は接合部温度との相関値になっています。通常動作時でも接合部温度は内部電力損失 P_D に依って周囲温度より上昇しています。従って接合部から周囲大気への熱抵抗を j_A とすると、 $T_j = T_A + j_A \cdot P_D$ となるので、入力バイアス電流を最低に抑えるために放熱器の使用を推奨します。
- Note 8:** 電源電圧除去比は一般慣習に従い \pm 両電源電圧を同時に上昇または下降させて測定します。LF411 は $\pm 15V \sim \pm 5V$ 、LF411A は $\pm 20V \sim \pm 5V$ です。
- Note 9:** (省略)
- Note 10:** 最大電力消費はそのパッケージ特性で規定されており、最大電力消費近辺でデバイスを動作させると保証値外でそのデバイスを動作させる原因となります。

代表的な性能特性

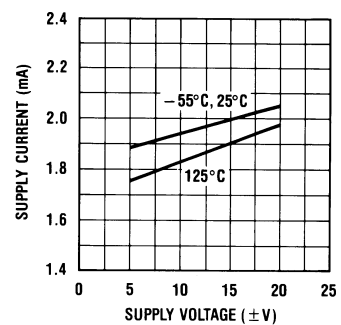
Input Bias Current



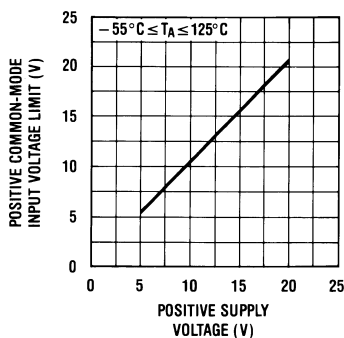
Input Bias Current



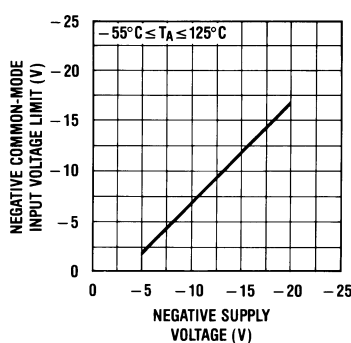
Supply Current



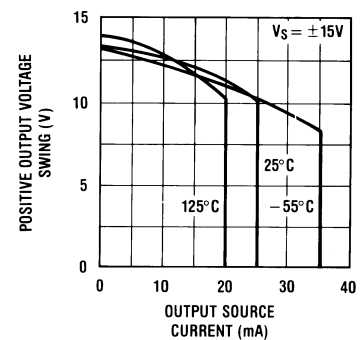
Positive Common-Mode Input Voltage Limit



Negative Common-Mode Input Voltage Limit

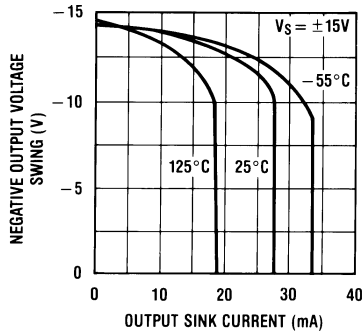


Positive Current Limit

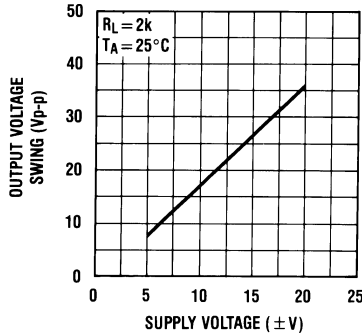


代表的な性能特性 (つづき)

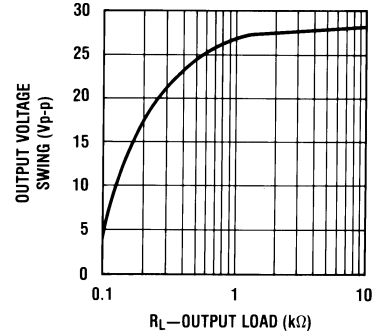
Negative Current Limit



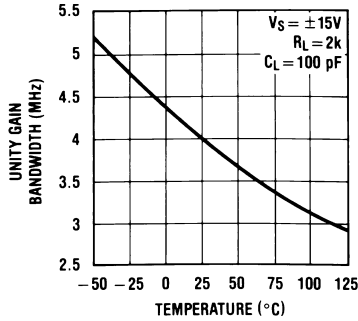
Output Voltage Swing



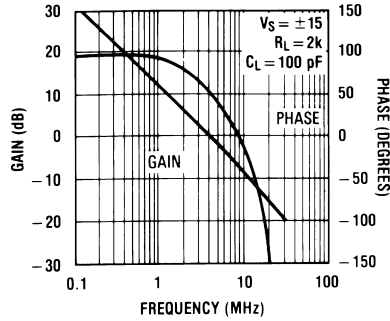
Output Voltage Swing



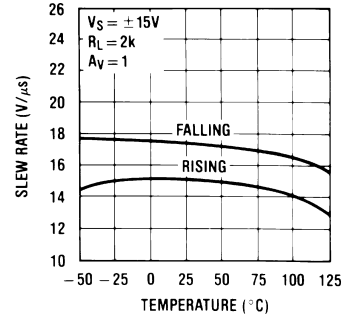
Gain Bandwidth



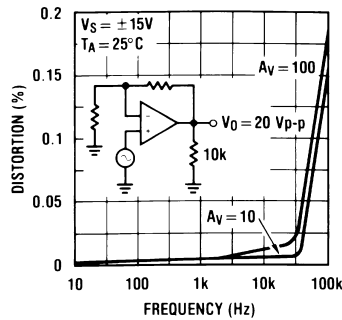
Bode Plot



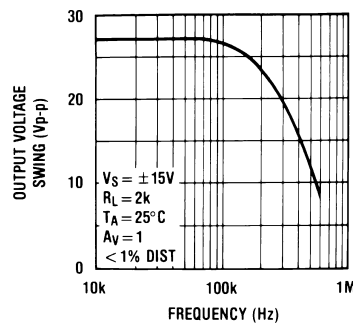
Slew Rate



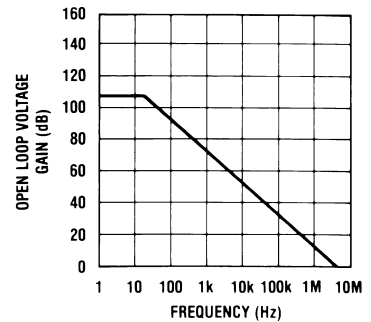
Distortion vs Frequency



Undistorted Output Voltage Swing

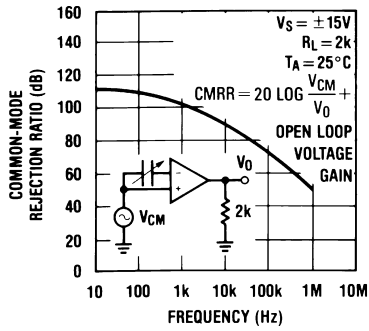


Open Loop Frequency Response

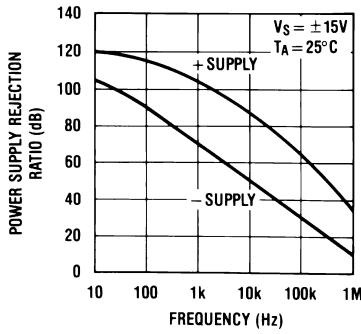


代表的な性能特性 (つづき)

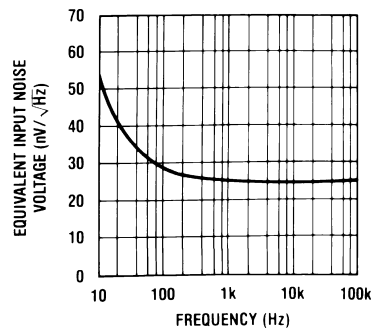
Common-Mode Rejection Ratio



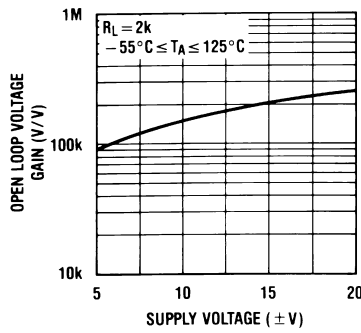
Power Supply Rejection Ratio



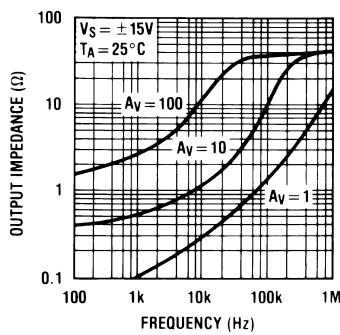
Equivalent Input Noise Voltage



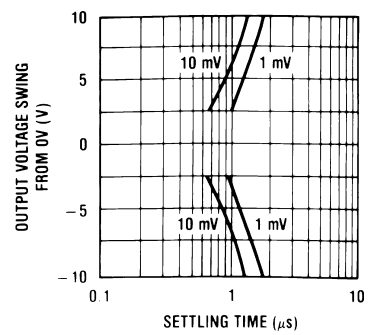
Open Loop Voltage Gain



Output Impedance

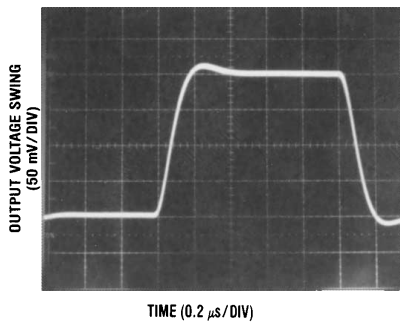


Inverter Settling Time

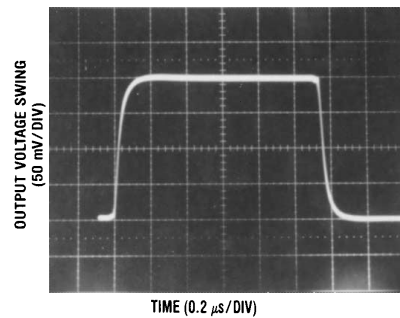


Pulse Response $R_L = 2k$ 、 $C_L 10pF$

Small Signal Inverting

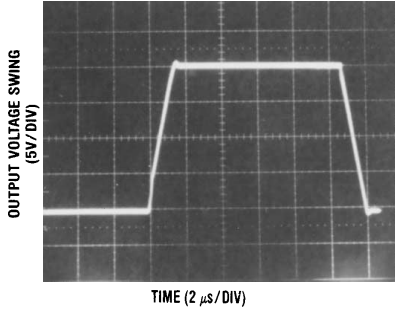


Small Signal Non-Inverting

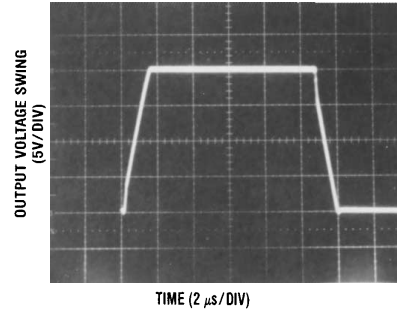


Pulse Response $R_L = 2k$ 、 $C_L 10 pF$ (つづき)

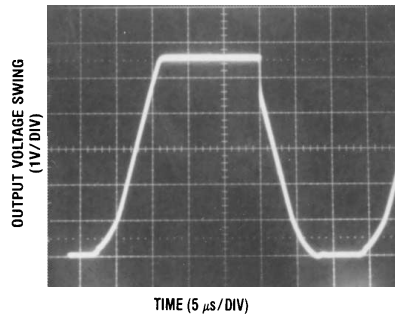
Large Signal Inverting



Large Signal Non-Inverting



Current Limit ($R_L = 100 \Omega$)



アプリケーション・ヒント

LF411は、入力オフセット電圧が内部調整済みとなっている JFET 入力 オペアンプです。(BI-FET II™ 技術)。デバイス内の各 JFET は、ゲート~ソース間及びゲート~ドレイン間の逆方向降伏電圧が大きく、入力クランプの必要が無いようになっています。従って、入力電流を増加させずに大差動入力電圧を印加する事が可能となります。この最大差動入力電圧は、また、電源電圧とは無関係となっていますが、入力電圧は、いずれも負の電源電圧より先負となってはいけません。この場合には、大電流が流れ、デバイスを焼損してしまうからです。

また、どちらか一方の入力に負同相電圧の限界値を越える負電圧が印加されると、この段の出力の位相は反転し、オペアンプ出力はそれに対応して High または Low となってしまいます。更に、両入力にともに負同相電圧の限界値を越える負電圧が与えられると、オペアンプ出力は High となってしまいます。上記いずれの場合でも、入力電圧を同相電圧範囲内に戻せば正常動作に復帰してくるので、ラッチ・アップが発生することはありません。

ある一方の入力に正の同相電圧限界値を越える正電圧が加わっても、出力位相は変化しないが、両入力にともにこの電圧が印加されると、オペアンプ出力は強制的に High となってしまいます。

このオペアンプでは、同相電圧入力として正電源電圧に等しい値を印加できますが、この場合には利得帯域幅積ならびにスルーレートがそれぞれ低下してしまいます。また、負の同相入力電圧が負電源電圧の 3V 以内にまでスイングする場合には、入力オフセット電圧が増加します。

デバイス内のオペアンプは、ツェナー・ダイオードによって基準バイアスが与えられているので、 $\pm 4.5V$ でも正常な動作を可能としています。但し、電源電圧がこの値以下の場合には、利得帯域幅ならびにスルーレートが低下します。

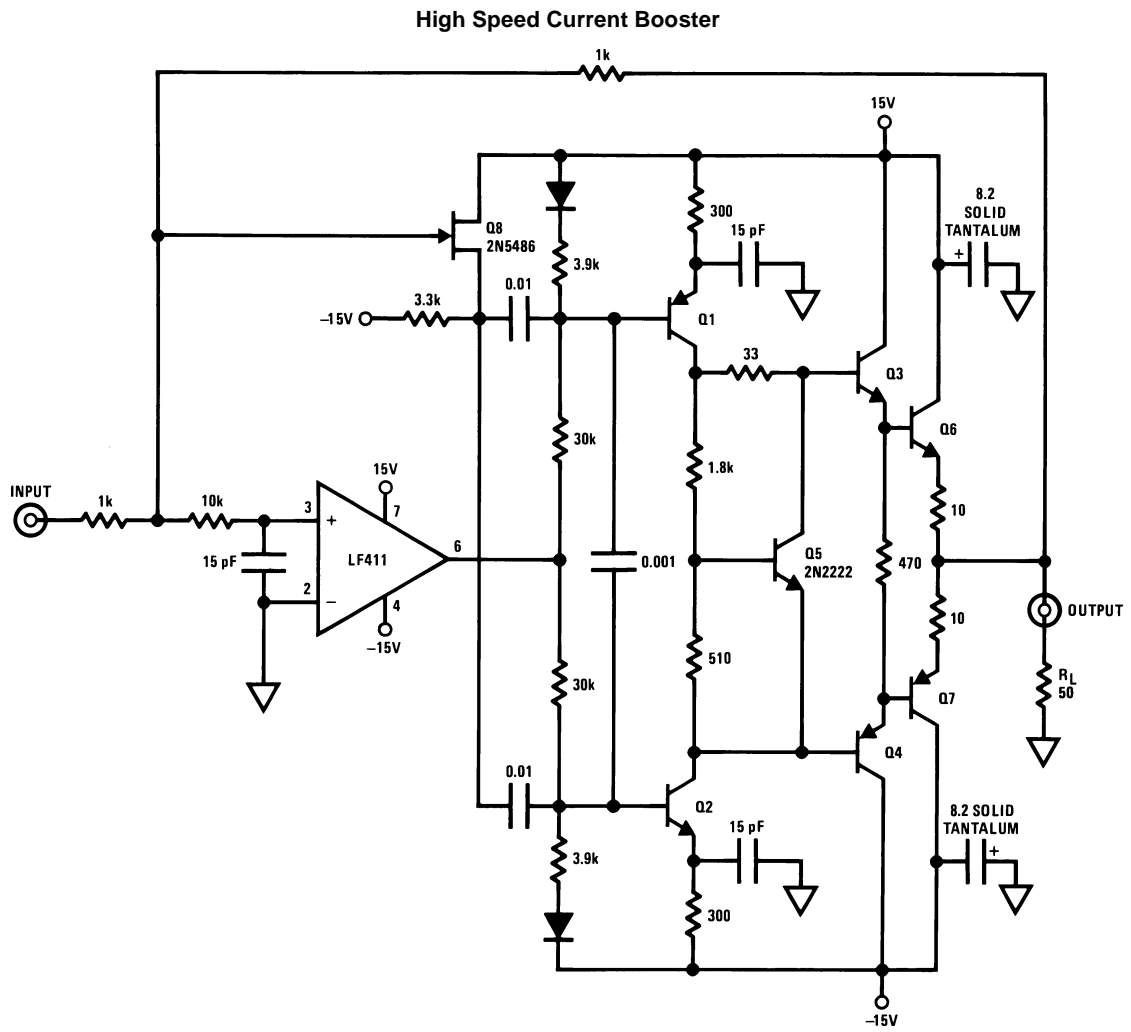
この LF411 では、定格温度範囲内で、 $2k \Omega$ 負荷抵抗を $\pm 10V$ で駆動する事が可能です。ただし、大負荷電流での駆動時には、どうしても負入力電圧振幅によって入力オフセット電圧が増加してしまい、最終的には出力での正負電圧スイングでアクティブ電流制限の領域に入ります。

注意しておかなければならないのは、電源電圧の逆接続ならびにデバイスのソケット逆挿入等であって、もしこれらを誤るとデバイスの中のダイオード類が順方向にバイアスされ無制限にサージ電流が流れてしまい、ついにはデバイス内部導体が消失し破壊に至ってしまうからです。このデバイス内のオペアンプは JFET 入力となっているので、MOSFET の時のような特別な取扱い上の配慮は必要としません。

他のほとんどのオペアンプの場合と同様に、安定度向上のため、配線、部品配置及び電源のデカップリング等に注意する必要があります。例えば、出力から入力に接続される抵抗類はできるだけデバイス本体に近い位置に配置するようにし、不要信号の“ピック・アップ”を防止し、更には、入力及びグラウンド間容量を減じてフィードバック・ポール周波数を可能な限り高くする事が必要です。

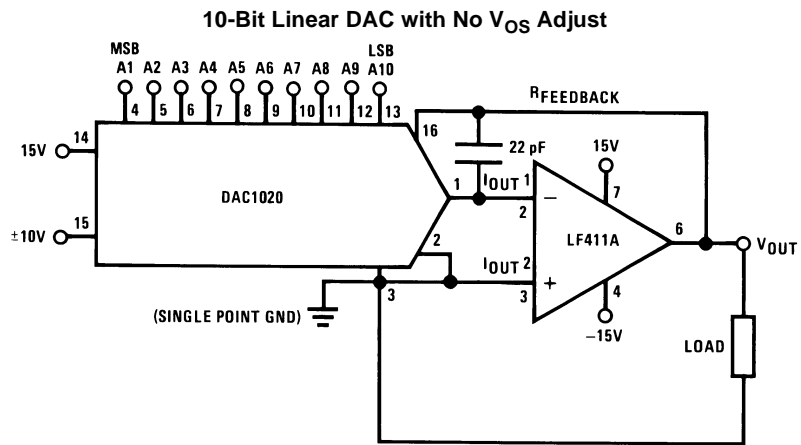
このフィードバック・ポールは、オペアンプ帰還回路が抵抗性である時には、どうしても発生してしまいます。デバイス入力（通常は反転入力端子）端子での対交流グラウンド容量ならびに入力並列抵抗が、このポール周波数を決定します。多くの場合、このポール周波数は閉ループ利得が 3dB 低下する周波数より高くなっているため、安定性余裕度上、これを無視できます。ただし、このフィードバック・ポールが予想の 3dB 周波数よりおよそ 6 倍以上となっている時には、オペアンプ出力から入力に対し、進相用のコンデンサを追加する必要があります。このコンデンサは、それと並列に接続される抵抗との RC 時間定数がフィードバック・ポール時間定数の値より大きいか、または、同一値となる様な値に、選定しなければなりません。

代表的なアプリケーション



PNP = 2N2905
 NPN = 2N2219 (特記のない限り)
 Q6、Q7 には TO-5 ヒートシンクを使用

代表的なアプリケーション (つづき)



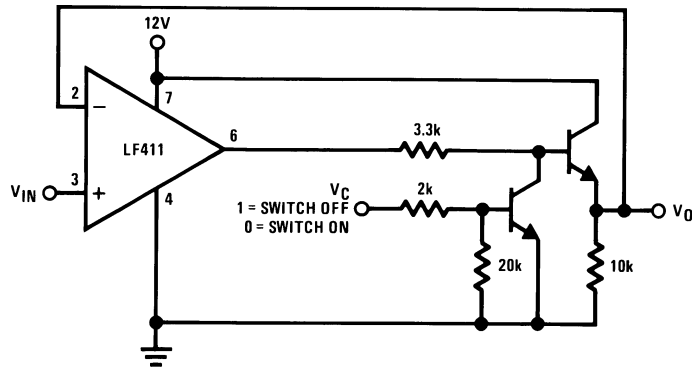
$$V_{OUT} = -V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{10}}{1024} \right)$$

$$-10V \leq V_{REF} \leq 10V$$

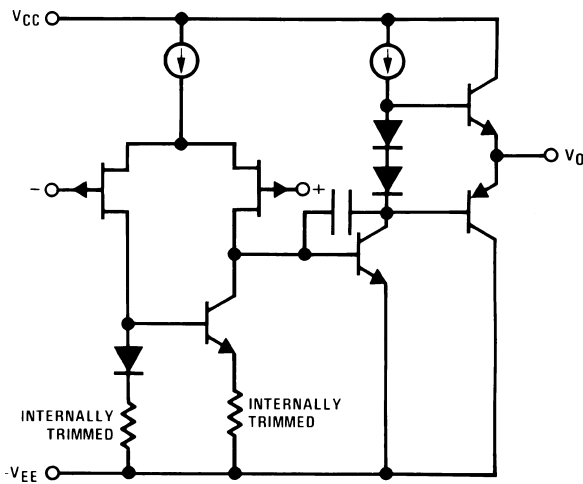
$$0 \leq V_{OUT} \leq -\frac{1023}{1024} V_{REF}$$

ここで、
 A_N のデジタル入力が High の時 $A_N = 1$
 A_N のデジタル入力が Low の時 $A_N = 0$

Single Supply Analog Switch with Buffered Output



等值回路



Note 11: *省略

