

DS91D180/DS91C180

100MHz M-LVDS ライン・ドライバ/レシーバ

概要

DS91D180/DS91C180 は、マルチポイント・ネットワークを利用するアプリケーション (ATCA ベース・システムおよび μ TCA ベース・システムでのクロック分配など) 向けに設計された 100MHz M-LVDS (Multipoint Low Voltage Differential Signaling) ライン・ドライバ/レシーバです。M-LVDS は、バス・インタフェースの新規格 (TIA/EIA-899) で、マルチドロップ・ネットワークに最適化されています。制御されたエッジ・レート、精度の高い入力レシーバのスレッシュホールド、強化された駆動能力によって、M-LVDS デバイスはマルチドロップ・ネットワーク経路で信号を分配する場合の最適な選択肢となります。

DS91D180/DS91C180 ドライバの入力は、LVTTTL/LVCMOS 信号を受け取り、これらを差動 M-LVDS 信号レベルに変換します。レシーバの入力部では、小振幅差動信号 (LVDS、B-LVDS、M-LVDS、LV-PECL、CML) を受け、3V の LVCMOS 信号に変換します。DS91D180 はオフセットのない M-LVDS タイプ 1 レシーバ入力仕様を採用しています。DS91C180 デバイスのレシーバ入力部は、フェイルセーフ機能を備えた Type 2 仕様です。

特長

DC ~ 100MHz 以上 /200Mbps 以上、低消費電力、低 EMI 動作

ATCA、 μ TCA クロック分配ネットワークの最適化

TIA/EIA-899 M-LVDS 規格に準拠、またはそれ以上の性能

入力同相電圧範囲が広い高いノイズ耐性

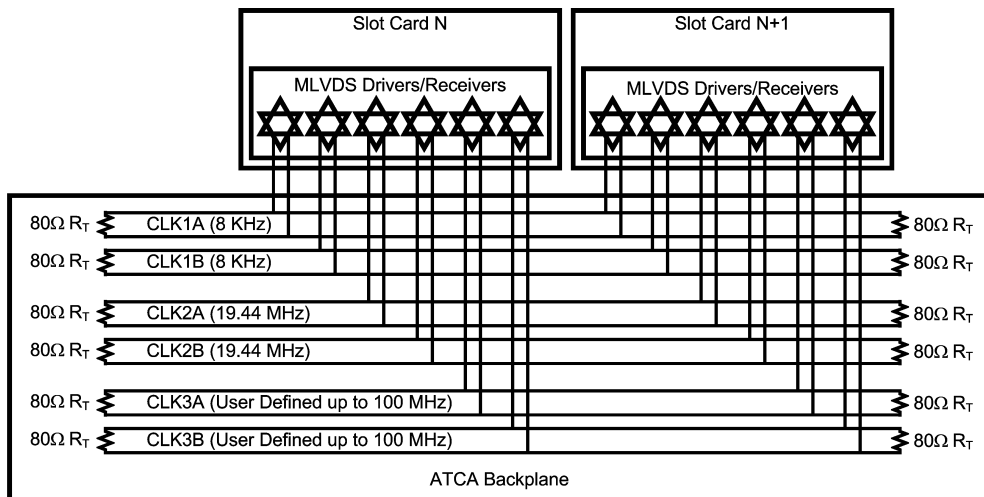
DS91D180 のレシーバ入力部は Type 1

DS91C180 のレシーバ入力部はフェイル・セーフ機能付き Type 2

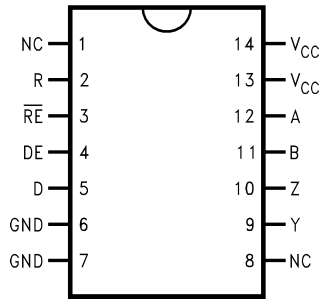
工業用温度範囲

省スペース SOIC-14 パッケージ (JEDEC MS-012)

AdvancedTCA におけるクロック分配での代表的なアプリケーション



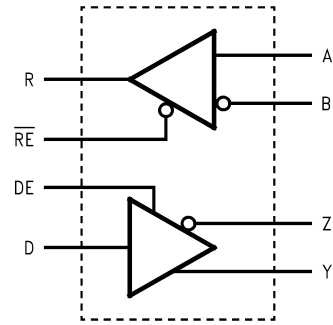
ピン配置図



Top View

Order Number DS91D180TMA, DS91C180TMA
See NS Package Number M14A

論理図



製品情報

Order Number	Receiver Input	Function	Package Type
DS91D180TMA	type 1	Data (0V threshold receiver)	SOIC/M14A
DS91C180TMA	type 2	Control (offset fail-safe receiver)	SOIC/M14A

M-LVDS レシーバの種類

EIA/TIA-899 M-LVDS 規格には、レシーバの入力仕様が 2 種類規定しております。Type 1 のレシーバのスレッシュホールドは、入力信号の振幅のちょうど中間の電圧 ($V_{ID}/2$) を中心電圧に設定した従来のスレッシュホールドです。Type 2 のレシーバは、 $V_{ID}/2$ よりも 100mV 高いオフセット電圧が最初から設定しております。Type 2 のレシーバに設定されたオフセット電圧は、その入力ピンが開放されたときにも短絡したときにも必ず出力ピンが Low レベルになるフェイルセーフ回路としての機能を果たします。

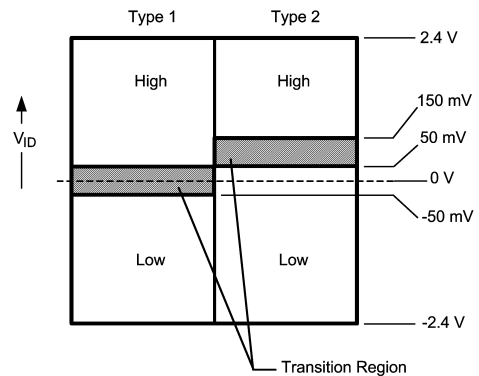


FIGURE 1. M-LVDS Receiver Input Thresholds

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	- 0.3V ~ + 4V
制御入力電圧	- 0.3V ~ (V _{CC} + 0.3V)
ドライバ入力電圧	- 0.3V ~ (V _{CC} + 0.3V)
ドライバ出力電圧	- 1.8V ~ + 4.1V
レシーバ入力電圧	- 1.8V ~ + 4.1V
レシーバ出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
最大パッケージ許容損失 (+ 25 時)	
SOIC パッケージ	1.1W
SOIC パッケージ・デレーティング + 25 以上	8.8mW
熱抵抗 (4レイヤ、2オンス、Cu、JEDEC)	
JA	113.7 /W
JC	36.9 /W
最大接合部温度	150
保存温度範囲	- 65 ~ + 150

リード温度

(ハンダ付け 4 秒)

260

ESD 耐圧

(HBM 1.5k 、 100pF)

5kV

(EIAJ 0 、 200pF)

250V

(CDM 0 、 0pF)

1000V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	3.0	3.3	3.6	V
バス端末での電圧 (分離または同相電圧)	- 1.4		+ 3.8	V
差動入力電圧 V _{ID}			2.4	V
High レベル入力電圧 V _{IH}	2.0		V _{CC}	V
Low レベル入力電圧 V _{IL}	0		0.8	V
動作周囲温度 T _A	- 40	+ 25	+ 85	

電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 2、3、4、8)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
M-LVDS Driver							
V _{YZ}	Differential output voltage magnitude	R _L = 50Ω, C _L = 5pF	480		650	mV	
ΔV _{YZ}	Change in differential output voltage magnitude between logic states	Figure 2 and Figure 4	-50	0	+50	mV	
V _{OS(SS)}	Steady-state common-mode output voltage	R _L = 50Ω, C _L = 5pF	0.3	1.8	2.1	V	
ΔV _{OS(SS)}	Change in steady-state common-mode output voltage between logic states	Figure 2 and Figure 3	0		+50	mV	
V _{OS(PP)}	Peak-to-peak common-mode output voltage	(V _{OS(PP)} @ 500KHz clock)		143		mV	
V _{Y(OC)}	Maximum steady-state open-circuit output voltage	Figure 5	0		2.4	V	
V _{Z(OC)}	Maximum steady-state open-circuit output voltage		0		2.4	V	
V _{P(H)}	Voltage overshoot, low-to-high level output	R _L = 50Ω, C _L = 5pF,			1.2V _{SS}	V	
V _{P(L)}	Voltage overshoot, high-to-low level output	C _D = 0.5pF Figure 7 and Figure 8 (Note 9)	-0.2V _S			V	
I _{IH}	High-level input current (LVTTTL inputs)	V _{IH} = 2.0V	-15		15	μA	
I _{IL}	Low-level input current (LVTTTL inputs)	V _{IL} = 0.8V	-15		15	μA	
V _{IKL}	Input Clamp Voltage (LVTTTL inputs)	I _{IN} = -18 mA	-1.5			V	
I _{OS}	Differential short-circuit output current	Figure 6	-43		43	mA	
M-LVDS Receiver							
V _{IT+}	Positive-going differential input voltage threshold	See Function Tables	Type 1		20	50	mV
			Type 2		94	150	mV
V _{IT-}	Negative-going differential input voltage threshold	See Function Tables	Type 1	-50	20		mV
			Type 2	50	94		mV
V _{OH}	High-level output voltage	I _{OH} = -8mA	2.4	2.7		V	
V _{OL}	Low-level output voltage	I _{OL} = 8mA		0.28	0.4	V	
I _{OZ}	TRI-STATE output current	V _O = 0V or 3.6V	-10		10	μA	
I _{OSR}	Short circuit Receiver output current (LVTTTL Output)	V _O = 0V	-90	-48		mA	

電気的特性 (つぎ)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 2、3、4、8)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
M-LVDS Bus (Input and Output) Pins						
I_A, I_Y	Receiver input or driver high-impedance output current	$V_{A,Y} = 3.8V, V_{B,Z} = 1.2V, DE = GND$			32	μA
		$V_{A,Y} = 0V \text{ or } 2.4V, V_{B,Z} = 1.2V, DE = GND$	-20		+20	μA
		$V_{A,Y} = -1.4V, V_{B,Z} = 1.2V, DE = GND$	-32			μA
I_B, I_Z	Receiver input or driver high-impedance output current	$V_{B,Z} = 3.8V, V_{A,Y} = 1.2V, DE = GND$			32	μA
		$V_{B,Z} = 0V \text{ or } 2.4V, V_{A,Y} = 1.2V, DE = GND$	-20		+20	μA
		$V_{B,Z} = -1.4V, V_{A,Y} = 1.2V, DE = GND$	-32			μA
I_{AB}, I_{YZ}	Receiver input or driver high-impedance output differential current ($I_A - I_B$ or $I_Y - I_Z$)	$V_{A,Y} = V_{B,Z}, -1.4V \leq V \leq 3.8V, DE = GND$	-4		+4	μA
$I_{A(OFF)}, I_{Y(OFF)}$	Receiver input or driver high-impedance output power-off current	$V_{A,Y} = 3.8V, V_{B,Z} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$			32	μA
		$V_{A,Y} = 0V \text{ or } 2.4V, V_{B,Z} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$	-20		+20	μA
		$V_{A,Y} = -1.4V, V_{B,Z} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$	-32			μA
$I_{B(OFF)}, I_{Z(OFF)}$	Receiver input or driver high-impedance output power-off current	$V_{B,Z} = 3.8V, V_{A,Y} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$			32	μA
		$V_{B,Z} = 0V \text{ or } 2.4V, V_{A,Y} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$	-20		+20	μA
		$V_{B,Z} = -1.4V, V_{A,Y} = 1.2V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$	-32			μA
$I_{AB(OFF)}, I_{YZ(OFF)}$	Receiver input or driver high-impedance output power-off differential current ($I_{A(OFF)} - I_{B(OFF)}$ or $I_{Y(OFF)} - I_{Z(OFF)}$)	$V_{A,Y} = V_{B,Z}, -1.4V \leq V \leq 3.8V, DE = 0V$ $0V \leq V_{CC} \leq 1.5V$	-4		+4	μA
C_A, C_B	Receiver input capacitance	$V_{CC} = OPEN$		5.1		pF
C_Y, C_Z	Driver output capacitance			8.5		pF
C_{AB}	Receiver input differential capacitance			2.5		pF
C_{YZ}	Driver output differential capacitance			5.5		pF
$C_{A/B}, C_{Y/Z}$	Receiver input or driver output capacitance balance (C_A/C_B or C_Y/C_Z)			1.0		
SUPPLY CURRENT (V_{CC})						
I_{CCD}	Driver Supply Current	$R_L = 50\Omega, DE = V_{CC}, \overline{RE} = V_{CC}$		17	29.5	mA
I_{CCZ}	TRI-STATE Supply Current	$DE = GND, \overline{RE} = V_{CC}$		7	9.0	mA
I_{CCR}	Receiver Supply Current	$DE = GND, \overline{RE} = GND$		14	18.5	mA
I_{CCB}	Supply Current, Driver and Receiver Enabled	$DE = V_{CC}, \overline{RE} = GND$		20	29.5	mA

スイッチング特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 3、8)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DRIVER AC SPECIFICATION						
t_{PLH}	Differential Propagation Delay Low to High	$R_L = 50\Omega, C_L = 5\text{ pF},$ $C_D = 0.5\text{ pF}$ <i>Figure 7 and Figure 8</i>	1.0	3.4	5.5	ns
t_{PHL}	Differential Propagation Delay High to Low		1.0	3.1	5.5	ns
$t_{SKD1} (t_{sk(p)})$	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (Notes 5, 9)			300	420	ps
t_{SKD3}	Part-to-Part Skew (Notes 6, 9)				1.9	ns
$t_{TLH} (t_r)$	Rise Time (Note 9)		1.0	1.8	3.0	ns
$t_{THL} (t_f)$	Fall Time (Note 9)		1.0	1.8	3.0	ns
t_{PZH}	Enable Time (Z to Active High)	$R_L = 50\Omega, C_L = 5\text{ pF},$ $C_D = 0.5\text{ pF}$ <i>Figure 9 and Figure 10</i>			8	ns
t_{PZL}	Enable Time (Z to Active Low)				8	ns
t_{PLZ}	Disable Time (Active Low to Z)				8	ns
t_{PHZ}	Disable Time (Active High to Z)				8	ns
t_{JIT}	Random Jitter, RJ (Note 9)		100MHz clock pattern (Note 7)		2.5	5.5
f_{MAX}	Maximum Data Rate		200			Mbps
RECEIVER AC SPECIFICATION						
t_{PLH}	Propagation Delay Low to High	$C_L = 15\text{ pF}$ <i>Figures 11, 12 and Figure 13</i>	2.0	4.7	7.5	ns
t_{PHL}	Propagation Delay High to Low		2.0	5.3	7.5	ns
$t_{SKD1} (t_{sk(p)})$	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (Notes 5, 9)			0.6	1.9	ns
t_{SKD3}	Part-to-Part Skew (Notes 6, 9)				1.5	ns
$t_{TLH} (t_r)$	Rise Time (Note 9)		0.5	1.2	3.0	ns
$t_{THL} (t_f)$	Fall Time (Note 9)		0.5	1.2	3.0	ns
t_{PZH}	Enable Time (Z to Active High)	$R_L = 500\Omega, C_L = 15\text{ pF}$ <i>Figure 14 and Figure 15</i>			10	ns
t_{PZL}	Enable Time (Z to Active Low)				10	ns
t_{PLZ}	Disable Time (Active Low to Z)				10	ns
t_{PHZ}	Disable Time (Active High to Z)				10	ns
f_{MAX}	Maximum Data Rate			200		

Note 1: 絶対最大定格とは、この値を超えるとデバイスの安全を保証できない値のことです。デバイスがこの規格値で正常に動作することを意味しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。特記のない限り、電圧はすべてデバイスのグラウンドを基準とした値です。

Note 3: すべての代表値は、 $V_{CC}=3.3V$ 、 $T_A=25$ の値です。

Note 4: 本データシートは、正の値の最小値 (すなわち 0 に最も近い正の値) または負の値の最大値 (すなわち 0 から最も離れている負の値) を「最小値」とする、代数学での慣習に従っています。

Note 5: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ は、同チャンネルの立ち上がりエッジと立ち下がりエッジとの間の伝搬遅延時間の差の大きさを表しています。

Note 6: デバイス間スキュー t_{SKD3} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ V_{CC} が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。

Note 7: 信号源、取付具に起因するジッタは含まれません。

Note 8: C_L には取付具の静電容量が含まれ、 C_D にはプローブの静電容量が含まれます。

Note 9: 製品の出荷試験はしていません。特性を決定する際にサンプルに対して行った統計的分析により保証する値です。

テスト回路と波形

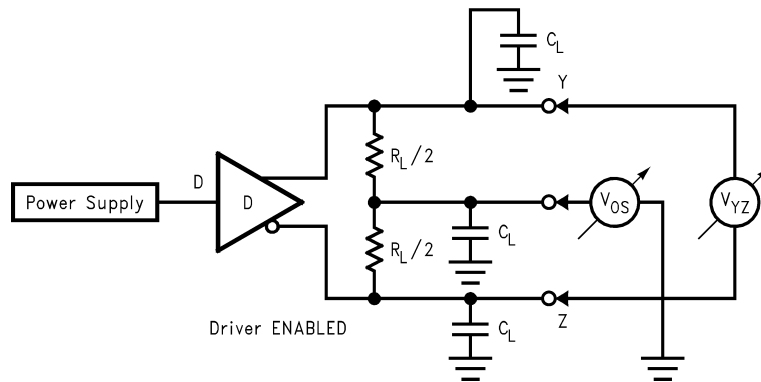


FIGURE 2. Differential Driver Test Circuit

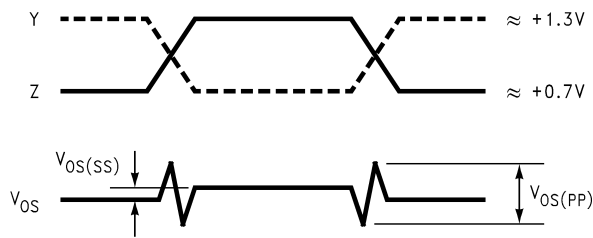


FIGURE 3. Differential Driver Waveforms

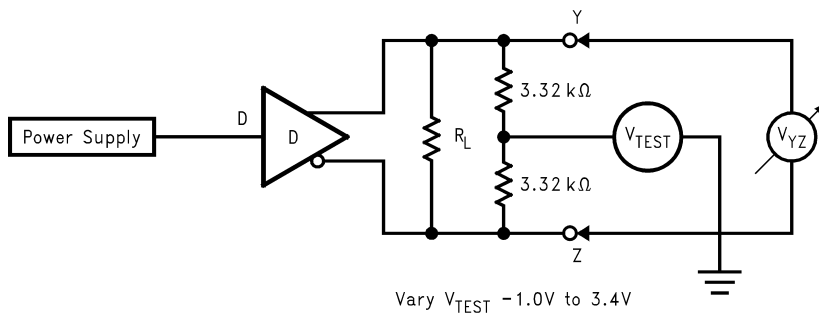


FIGURE 4. Differential Driver Full Load Test Circuit

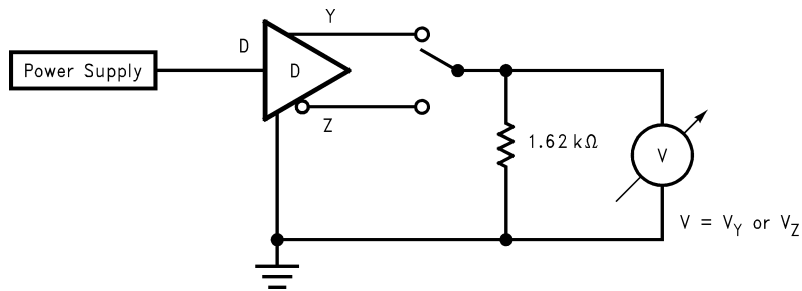


FIGURE 5. Differential Driver DC Open Test Circuit

テスト回路と波形 (つづき)

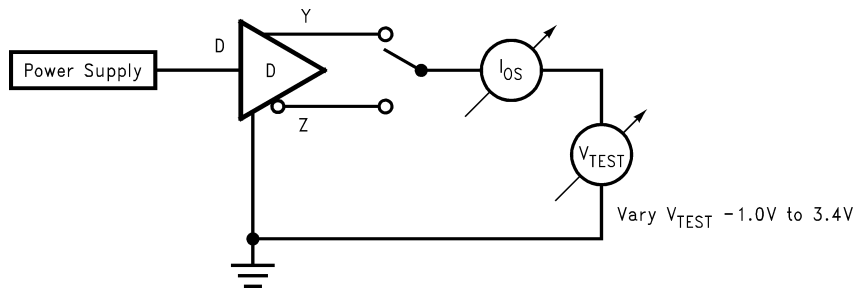


FIGURE 6. Differential Driver Short-Circuit Test Circuit

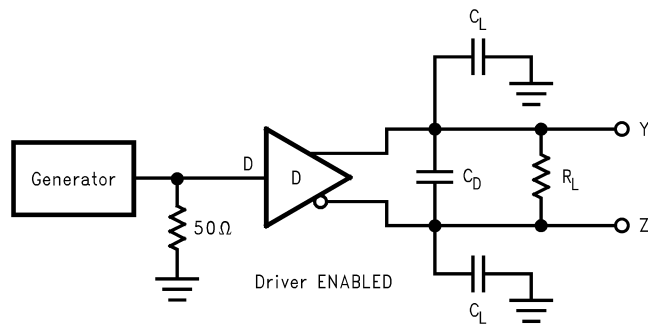


FIGURE 7. Driver Propagation Delay and Transition Time Test Circuit

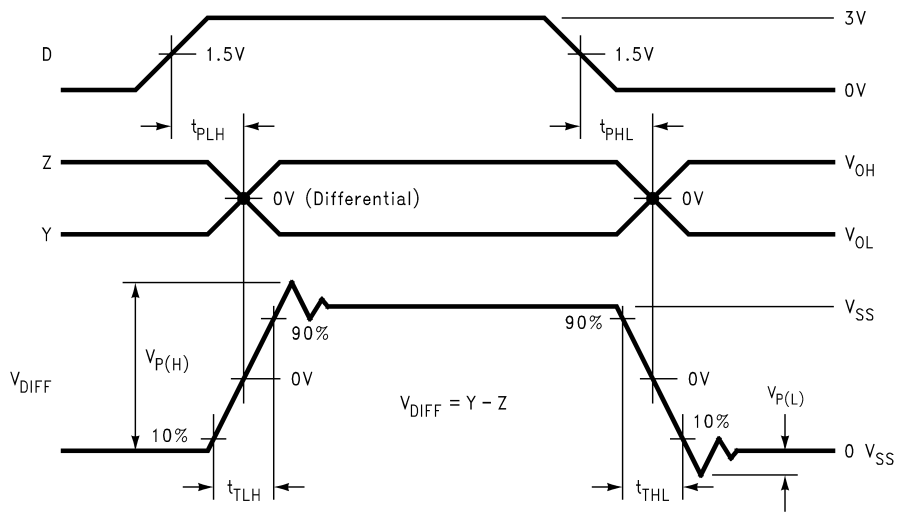


FIGURE 8. Driver Propagation Delays and Transition Time Waveforms

テスト回路と波形 (つづき)

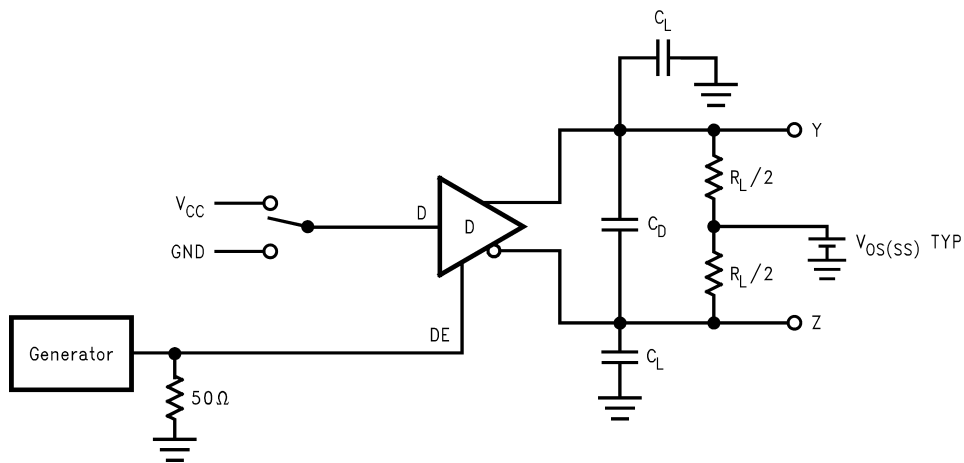


FIGURE 9. Driver TRI-STATE Delay Test Circuit

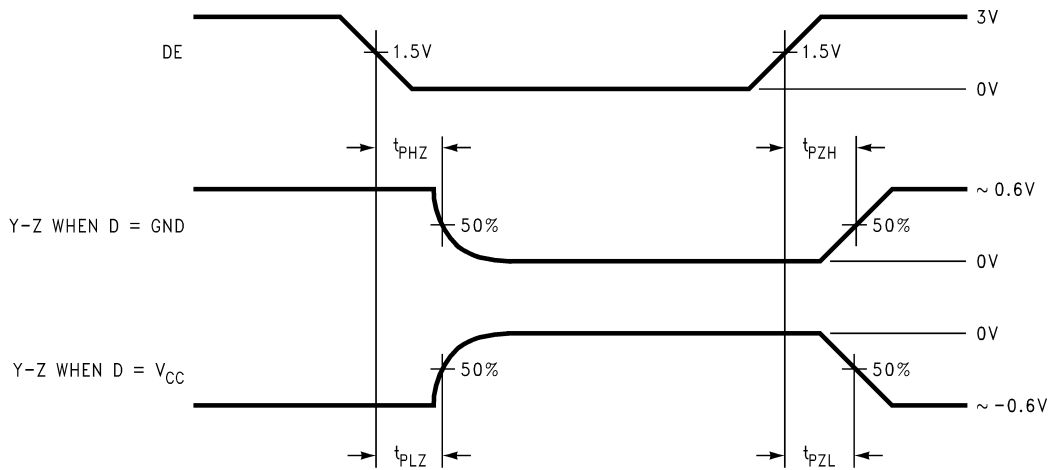


FIGURE 10. Driver TRI-STATE Delay Waveforms

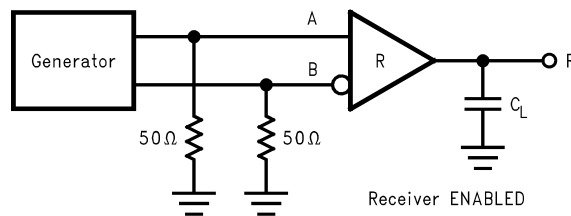


FIGURE 11. Receiver Propagation Delay and Transition Time Test Circuit

テスト回路と波形 (つづき)

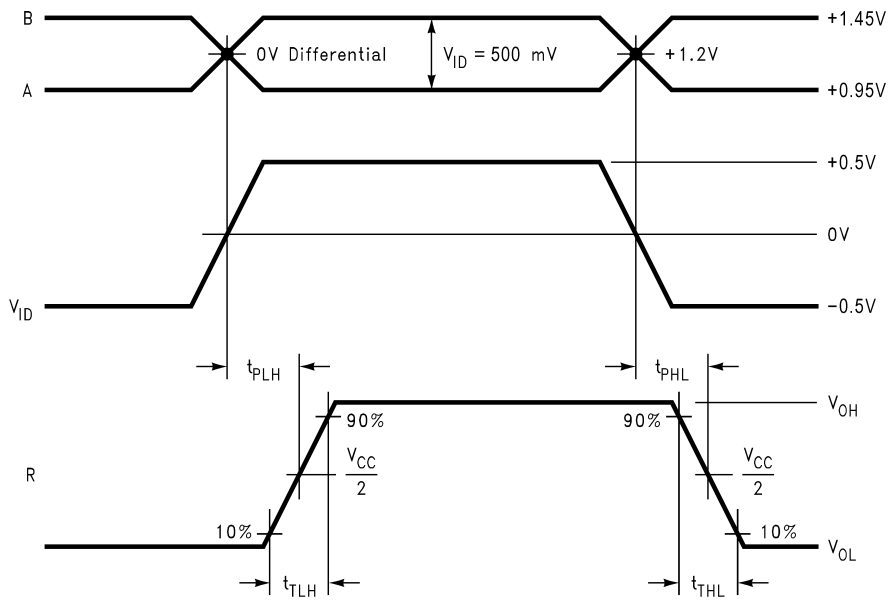


FIGURE 12. Type 1 Receiver Propagation Delay and Transition Time Waveforms

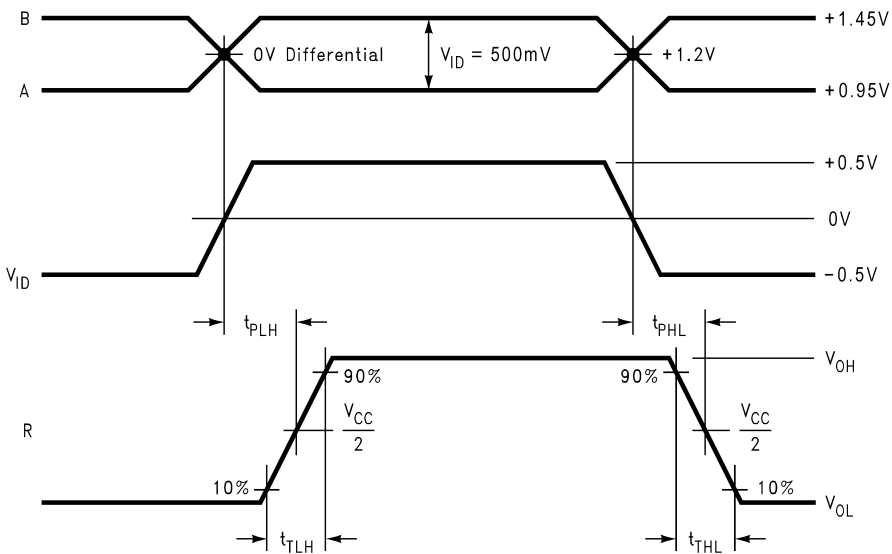


FIGURE 13. Type 2 Receiver Propagation Delay and Transition Time Waveforms

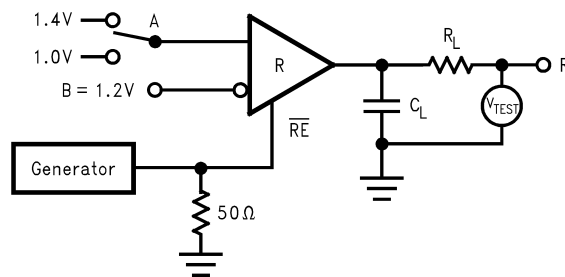


FIGURE 14. Receiver TRI-STATE Delay Test Circuit

テスト回路と波形 (つづき)

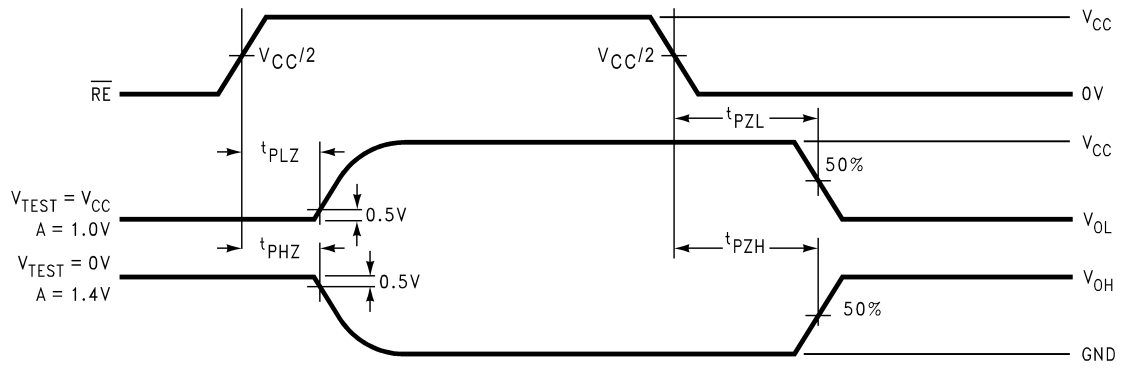


FIGURE 15. Receiver TRI-STATE Delay Waveforms

関数表

DS91D180/DS91C180 Transmitting

Inputs		Outputs	
DE	D	Z	Y
2.0V	2.0V	L	H
2.0V	0.8V	H	L
0.8V	X	Z	Z

X 指定なし
Z ハイ・インピーダンス状態

DS91D180 Receiving

Inputs		Output
RE	A - B	R
0.8V	$\geq +0.05V$	H
0.8V	$\leq -0.05V$	L
0.8V	0V	X
2.0V	X	Z

X 指定なし
Z ハイ・インピーダンス状態

DS91C180 Receiving

Inputs		Output
RE	A - B	R
0.8V	$\geq +0.15V$	H
0.8V	$\leq +0.05V$	L
0.8V	0V	L
2.0V	X	Z

X 指定なし
Z ハイ・インピーダンス状態

DS91D180 Receiver Input Threshold Test Voltages

Applied Voltages		Resulting Differential Input Voltage	Resulting Common-Mode Input Voltage	Receiver Output
V_{IA}	V_{IB}	V_{ID}	V_{IC}	R
2.400V	0.000V	2.400V	1.200V	H
0.000V	2.400V	-2.400V	1.200V	L
3.800V	3.750V	0.050V	3.775V	H
3.750V	3.800V	-0.050V	3.775V	L
-1.400V	-1.350V	-0.050V	-1.375V	H
-1.350V	-1.400V	0.050V	-1.375V	L

H High レベル
L Low レベル
出力状態は、レシーバがイネーブルであること ($\overline{RE} = L$) を前提としています。

DS91C180 Receiver Input Threshold Test Voltages

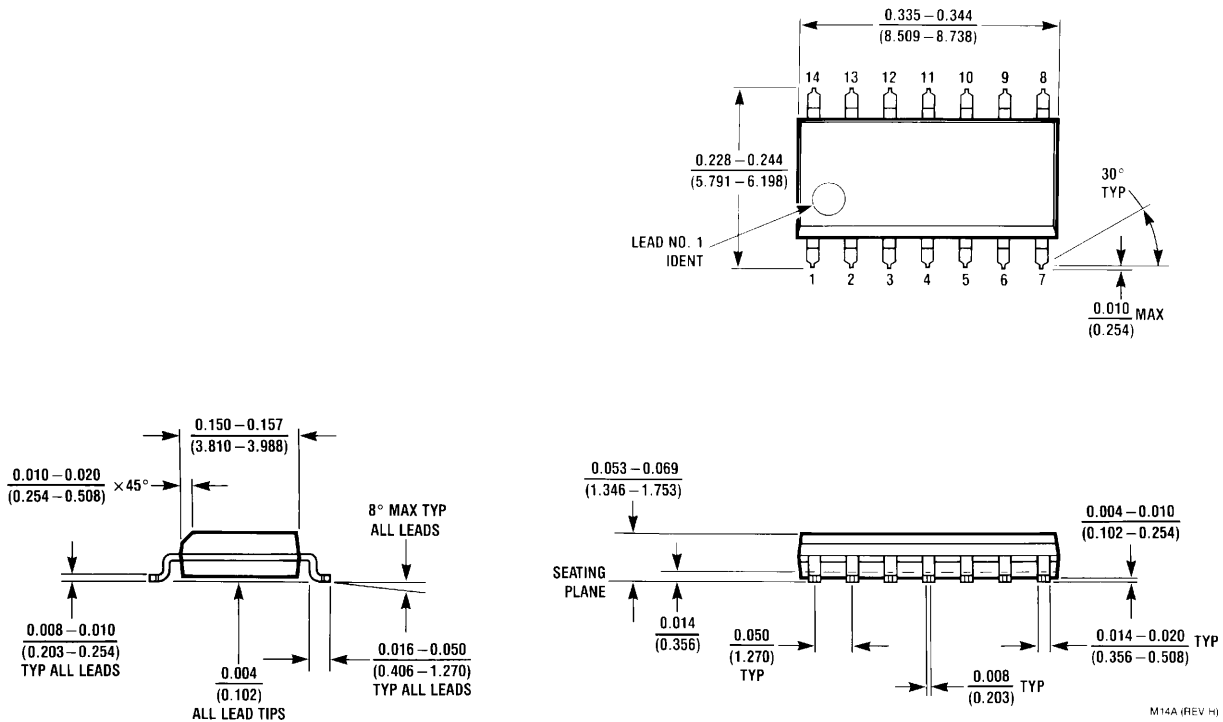
Applied Voltages		Resulting Differential Input Voltage	Resulting Common-Mode Input Voltage	Receiver Output
V_{IA}	V_{IB}	V_{ID}	V_{IC}	R
2.400V	0.000V	2.400V	1.200V	H
0.000V	2.400V	-2.400V	1.200V	L
3.800V	3.650V	0.150V	3.725V	H
3.800V	3.750V	0.050V	3.775V	L
-1.250V	-1.400V	0.150V	-1.325V	H
-1.350V	-1.400V	0.050V	-1.375V	L

H High レベル
L Low レベル
出力状態は、レシーバがイネーブルであること ($\overline{RE} = L$) を前提としています。

ピン説明

ピン番号	ピン名	説明
1, 8	NC	未接続
2	R	レシーバ出力ピン
3	\overline{RE}	レシーバ・イネーブル・ピン。 \overline{RE} を High レベルにするとレシーバはディスエーブルになります。 \overline{RE} を Low レベルか開放にすると使用可になります。
4	DE	ドライバ・イネーブル・ピン。DEを Low レベルにするとドライバがディスエーブルになります。DEを High レベルにするとドライバがイネーブルになります。
5	D	ドライバ入力ピン
6, 7	GND	グラウンド・ピン
9	Y	非反転ドライバ出力ピン
10	Z	反転ドライバ出力ピン
11	B	反転レシーバ入力ピン
12	A	非反転レシーバ入力ピン
13, 14	V _{CC}	電源ピン、+ 3.3V \pm 0.3V

外形寸法図 特記のない限り inches (millimeters)



Order Number DS91D180TMA, DS91C180TMA
See NS package Number M14A

このドキュメントの内容はナショナル セミコンダクター社 (以下ナショナル) 製品の関連情報として提供されます。ナショナルは、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナルがナショナルの製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルは製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナルの部品を使用した製品および製品適用の責任は購入者にあります。ナショナルの製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルとの取引条件で規定される場合を除き、ナショナルは一切の義務を負わないものとし、また、ナショナルの製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナルの製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。ここで、

生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター社の商標または登録商標です。一部のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/