

DS90LT012AQ

車載用 LVDS 差動ライン・レシーバ

概要

DS90LT012AQ は、超低消費電力、低ノイズ、高速データ伝送を必要とするアプリケーション用に設計された CMOS 差動入力シングル・ライン・レシーバです。LVDS (Low Voltage Differential Signaling) の技術を用いており、400Mbps (200MHz) を超えるデータレートに対応しています。

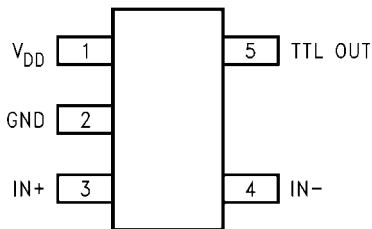
DS90LT012AQ は、小振幅 (typ 350mV) の差動信号を受信し、それを 3V の CMOS レベルに変換します。一対一構成用に入力終端抵抗を内蔵しています。

DS90LT012AQ およびこれと組み合わせて使用する LVDS ライン・ドライバ DS90LV011AQ により、既存の高出力 PECL/ECL デバイスを LVDS に置き換える高速インタフェースの新製品です。

特長

- AECQ-100 グレード 1
- 動作温度範囲 - 40 ~ + 125
- ANSI/TIA/EIA-644-A 規格準拠
- 400Mbps (200MHz) を超える転送レート
- 差動出力スキュー 100ps (typ)
- 伝搬遅延時間 3.5ns (max)
- 100 (typ) の入力終端抵抗を内蔵
- 3.3V 単一電源
- パワーダウン時、LVDS 入力はハイ・インピーダンス
- LVDS/CML/LVPECL レベルを入力できる LVDS 入力
- PCB レイアウトを容易にするピン配置
- 低消費電力 (10mW (typ)、3.3V 時)
- 5 ピン SOT-23 パッケージ

ピン配置図



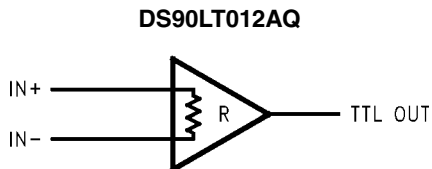
(Top View)

Order Number DS90LT012AQMF
See NS Package Number MF05A

真理値表

INPUTS	OUTPUT
[IN+] - [IN-]	TTL OUT
$V_{ID} \geq 0V$	H
$V_{ID} \leq -0.1V$	L
Full Fail-safe OPEN/SHORT or Terminated	H

機能図



絶対最大定格 (Note 4)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{DD})	- 0.3V ~ + 4V
入力電圧 (IN +, IN -)	- 0.3V ~ + 3.9V
出力電圧 (TTL 出力)	- 0.3V ~ (V _{DD} + 0.3V)
出力短絡電流	- 100mA

パッケージ最大消費電力 (周囲温度 25 °C において)

MF パッケージ	794mW
MF パッケージのデレーティング 25 °C より高温で	7.22mW/

パッケージ熱抵抗 (4 層 2 オンス銅箔、JEDEC)

JA	138.5	/W
JC	107.0	/W

リード温度 (ハンダ付け 4 秒)

	+ 260
--	-------

最大接合部温度	+ 135
ESD 耐圧	
人体モデル (Note 1)	> 8kV
マシン・モデル (Note 2)	> 250V
デバイス帯電モデル (Note 3)	> 1250V

Note 1: 人体モデル、適用規格 JESD22-A114C
Note 2: マシン・モデル、適用規格 JESD22-A115-A
Note 3: 電場 (界) 誘導帯電モデル、適用規格 JESD22-C101-C

推奨動作条件

	Min	Typ	Max	単位
電源電圧 (V _{DD})	+ 3.0	+ 3.3	+ 3.6	V
自然対流時				
動作周囲温度 (T _A)	- 40	25	+ 125	

電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作温度に対して適用 (Note 5、6)。

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
V _{TH}	Differential Input High Threshold	V _{CM} dependant on V _{DD}	IN+, IN-		-30	0	mV
V _{TL}	Differential Input Low Threshold			-100	-30		mV
V _{CM}	Common-Mode Voltage	V _{DD} = 3.0V to 3.6V, V _{ID} = 100mV		0.10		2.35	V
I _{IN}	Input Current	V _{IN+} = +2.8V, V _{DD} = 3.6V or 0V		-10	±1	+10	µA
		V _{IN+} = 0V		-10	±1	+10	µA
		V _{IN+} = +3.6V, V _{DD} = 0V		-20		+20	µA
I _{IND}	Differential Input Current	V _{IN+} = +0.4V, V _{IN-} = +0V		3	3.9	4.4	mA
		V _{IN+} = +2.4V, V _{IN-} = +2.0V					
R _T	Integrated Termination Resistor			100			Ω
C _{IN}	Input Capacitance	IN+ = IN- = GND			3		pF
V _{OH}	Output High Voltage	I _{OH} = -0.4 mA, V _{ID} = +200 mV	TTL OUT	2.4	3.1		V
		I _{OH} = -0.4 mA, Inputs terminated		2.4	3.1		V
		I _{OH} = -0.4 mA, Inputs shorted		2.4	3.1		V
V _{OL}	Output Low Voltage	I _{OL} = 2 mA, V _{ID} = -200 mV			0.3	0.5	V
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V (Note 7)		-15	-50	-100	mA
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA		-1.5	-0.7		V
I _{DD}	No Load Supply Current	Inputs Open	V _{DD}		5.4	9	mA

スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作温度に対して適用 (Note 6、8、9、10)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
t_{PHLD}	Differential Propagation Delay High to Low	$C_L = 15 \text{ pF}$ $V_{ID} = 200 \text{ mV}$ (Figure 1 and Figure 2)	1.0	1.8	3.5	ns	
t_{PLHD}	Differential Propagation Delay Low to High		1.0	1.7	3.5	ns	
t_{SKD1}	Differential Pulse Skew $ t_{PHLD} - t_{PLHD} $ (Note 11)		0	100	400	ps	
t_{SKD3}	Differential Part to Part Skew (Note 12)		0	0.3	1.0	ns	
t_{SKD4}	Differential Part to Part Skew (Note 13)		0	0.4	2.5	ns	
t_{TLH}	Rise Time				350	800	ps
t_{THL}	Fall Time				175	800	ps
f_{MAX}	Maximum Operating Frequency (Note 14)				250		MHz

Note 4: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの実際の動作条件は「電気的特性」の表に規定されています。

Note 5: デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。特記のない限り、すべての電圧はグラウンドを基準としています (V_{ID} など)。

Note 6: すべての代表値は、 $V_{DD} = +3.3\text{V}$ 、 $T_A = +25$ の値です。

Note 7: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。短絡は一度に 1 出力とし、最大接合温度の規格を超えないようにしてください。

Note 8: これらのパラメータは設計により保証されています。リミット値はデバイスのばらつき (プロセス、電圧、温度) に対する統計的解析にもとづいています。

Note 9: C_L はプローブ容量と治具容量を含んでいます。

Note 10: 特記のない限り、パルス・ゼネレータの波形は、 $f = 1\text{MHz}$ 、 $Z_0 = 50$ 、 $IN \pm$ の t_r と t_f (0% ~ 100%) 3ns。

Note 11: t_{SKD1} は同チャンネルの立ち上がりエッジと立ち下がりエッジにおける伝搬遅延時間の差の大きさを表わしています。

Note 12: デバイス間スキューの t_{SKD3} は、デバイス間のあらゆる事象に対する差動チャンネル間スキューです。本仕様は、双方のデバイスに同じ電源電圧 V_{DD} が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。

Note 13: デバイス間スキューの t_{SKD4} は、デバイス間のあらゆる事象に対する差動チャンネル間スキューです。本仕様は、推奨動作温度と電圧範囲全域に適用され、プロセスばらつきを含みます。 t_{SKD4} は差動伝搬遅延時間の最大、最小の差の絶対値 $|Max - Min|$ として定義されています。

Note 14: f_{MAX} のジェネレータ入力条件は次のとおりです。 $t_r = t_f < 1\text{ns}$ (0% ~ 100%)、デューティ・サイクル = 50%、差動 (ピーク・ツー・ピーク 1.05V ~ 1.35V) 出力基準 : デューティ・サイクル = 60% / 40%、 V_{OL} (最大 0.4V)、 V_{OH} (最小 2.4V)、負荷 = 15pF (浮遊容量 + プローブ容量)

パラメータ測定情報

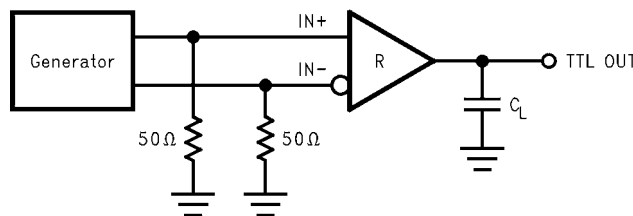


FIGURE 1. Receiver Propagation Delay and Transition Time Test Circuit

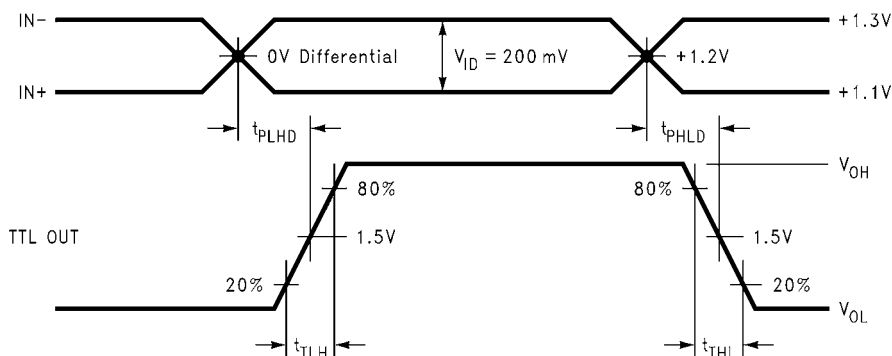


FIGURE 2. Receiver Propagation Delay and Transition Time Waveforms

代表的なアプリケーション

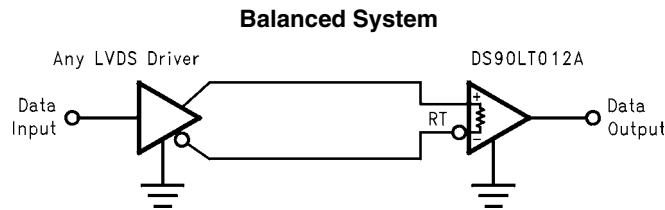


FIGURE 3. Point-to-Point Application (DS90LT012AQ)

アプリケーション情報

LVDS ドライバおよびレシーバの一般的なアプリケーションのガイドラインとヒントについては、以下のアプリケーション・ノートを参照してください。LVDS オーナーズ・マニュアル (#550062-003)、AN 808、AN 977、AN 971、AN 916、AN 805、AN 903。

LVDS のドライバ、レシーバは Figure 3 のような簡単な一対一（一組のドライバ、レシーバ）の構成に使用する目的で作られています。ドライバの出力波形は速いエッジレートを持ち、かつクリーンな波形を出力します。レシーバは標準的なツイストペア・ケーブル、平行ケーブル、PCB パターン等の平行伝送経路を経由してドライバに接続されます。標準的なメディアのインピーダンスは 100 Ω 近辺の範囲にあり、一般的に終端抵抗はメディアの特性インピーダンスに合わせます。ドライバの出力（電流モード）は、内蔵終端抵抗によって電圧に変換され、これをレシーバが検出します。その他の構成としてマルチレシーバの構成が可能ですが、ミッドストリーム・コネクタ、ケーブル・スタブ、その他のインピーダンスの不連続点、グラウンドの変動、ノイズ・マージンの制約、終端負荷の合計などを考慮する必要があります。

DS90LT012AQ 差動ライン・レシーバは +1.2V を中心にした ±1V の同相電圧の範囲内で、最低 100mV の信号を検出します。これは、ドライバのオフセット電圧 (typ 1.2V) に対応しています。信号はこの電圧を中心に駆動され、さらにこの中心値に対して ±1V 変動する可能性があります。この ±1V の変動はドライバとレシーバとのグラウンド電位の差や同相ノイズ、またはこれらを組み合わせた結果生じます。レシーバの両入力ピンに対する AC パラメータは、0V ~ +2.4V の推奨動作入力電圧に対して最適化されています。最大 V_{DD} までのレシーバ入力電圧に対してデバイスは動作しますが、 V_{DD} を超えると ESD 保護回路がターンオンし、バス電圧がクランプされます。

電源デカップリングの推奨

電源ピンにはバイパス・コンデンサを接続しなくてはなりません。0.1 μF と 0.001 μF の高周波セラミック・コンデンサ（表面実装品を推奨）を並列に、かつ、小容量のコンデンサのほうを電源ピンの近くに配置してください。プリント基板全体にバイパス・コンデンサを追加実装すると、デカップリング性能を向上させることができます。複数のビアを使用してデカップリング・コンデンサと電源層を接続してください。プリント基板に対するシステム電源の供給部には、電源とグラウンド間に、10 μF (35V) 以上の固体タンタル・コンデンサを接続してください。

プリント基板の考慮事項

4 層基板以上を推奨します。振り分けは、上面より LVDS 信号、グラウンド、電源、TTL 信号の順序です。

LVDS 信号に TTL 信号がカップリングしないよう、LVDS 配線と TTL 配線は分離してください。電源 / グラウンド・プレーンによって分離された異なる層に、TTL 信号と LVDS 信号をそれぞれ分けて配線するのが最善の方法です。

ドライバとレシーバは LVDS ポート側コネクタのできるだけ近くに配置してください。

差動ライン

使用する伝送メディア（すなわちケーブル）の差動インピーダンス、および終端抵抗値に整合するように、配線インピーダンスを調整してください。デバイスから出力された直後から、差動ラインの配線はできる限り間隔を狭くします（スタブ長も 10mm より小さくします）。これにより信号反射を低減し、ノイズが必ず同相でカップリングするようにします。実験では、差動信号を 3mm 間隔で配線するよりも 1mm 間隔で配線したほうが、磁界を打ち消し合う効果が大いいためノイズ発生が大幅に少なくなるのわかっています。また、差動ラインに励起されるノイズは、共通モードとして現れる場合が多いため、レシーバ側で除去できます。

スキューを低減するために電気的な配線長は等しくしてください。ペア信号間にスキューが存在すると、信号間に位相差が生じ磁界を打ち消し合う効果が減少して差動信号を使う利点がなくなります。結果として EMI 問題を引き起こします（注：伝搬速度は $v = c/E_r$ で表されます。c は光速で 0.2997mm/ps または 0.0118in/ps です）。したがって差動信号の配線に際しては、CAD の自動配線だけに頼らないようにしてください。差動インピーダンスが整合するよう配線長に充分配慮し、かつ、差動信号を他の配線から分離してください。ビアやその他ライン上の不連続点はできるだけ少なくしてください。

90° の直角配線は避けてください（インピーダンスの不連続点になります）。円弧もしくは 45° で配線してください。

レシーバ側の共通モード除去性能を維持するため、差動ペア間の配線間隔はできるだけ狭くしてください。プリント・パターン上の対になったパターンの間隔はインピーダンスの不連続性を最小に抑えるため一定に保ちます。ただし接続部における違反は許容できます。

終端抵抗

DS90LT012AQ は一対一構成用の終端抵抗を内蔵しています。抵抗の値は 90 Ω ~ 133 Ω の間です。

スレッショルド

LVDS 規格 (ANSI/TIA/EIA-644-A) では LVDS レシーバの最大スレッショルドを ±100mV と規定しています。DS90LT012AQ では、スレッショルド領域を -100mV ~ 0V に狭めています。これはフェイルセーフ・バイアスに効果があります。スレッショルド領域を Figure 4 の電圧伝達カーブ (VTC) に示します。DS90LT012AQ LVDS レシーバは、通常約 -30mV でスイッチングします。 $V_{ID} = 0V$ の場合、出力が High 状態になることに注意が必要です。+25mV の外部フェイルセーフ・バイアスを印加すると、通常、差動ノイズ・マージンはスイッチング電圧とバイアス電圧の差になります。したがって、下の例の差動ノイズ・マージン (DNM) は 55mV (+25mV - (-30mV)) です。スレッショルド領域を -100mV ~ 0V に強化しているため、わずか +25mV (0V 基準) の外部フェイルセーフ・バイアスを印加するだけで DNM を余裕のある 55mV

アプリケーション情報 (つづき)

とすることができます。標準のスレッシュホールド領域である $\pm 100\text{mV}$ の場合、外部フェイルセーフ・バイアスは $+ 100\text{mV}$ に対して $+ 25\text{mV}$ を印加するため $+ 125\text{mV}$ となり、この場合 DNM は

155mVです。これはDS90LT012AQに対しては必要以上のマージンです。DNMをより大きくする必要がある場合は、抵抗値を変更してより大きなフェイルセーフ・バイアス・ポイントに設定します。

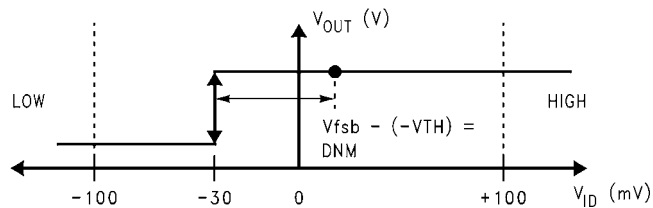


FIGURE 4. VTC of the DS90LT012AQ LVDS Receiver

フェイルセーフ・バイアス

回路開放時の入力フェイルセーフを可能とするために十分なオフセットを得るには、外付けのプルアップおよびプルダウン抵抗を使用します。この構成では、正側LVDS入力をプルアップ抵抗を介してVDDに、負側LVDS入力をプルダウン抵抗を介してグラウンドに接続します。プルアップ抵抗とプルダウン抵抗は、ドライバに対する負荷の増加と波形の歪みを抑えるために、 $5\text{k}\Omega \sim 15\text{k}\Omega$ の範囲としてください。共通モード・バイアス点は、内部回路と互換になるように、なるべく約 1.2V (1.75V 未満)に設定してください。詳細は、AN-1194「LVDSインタフェースのフェイルセーフ・バイアス」を参照してください。

LVDS 伝送ラインのプロローピング

高インピーダンス ($> 100\text{k}\Omega$)、低容量 ($< 2\text{pF}$)のプロロープを使用し、オシロスコープの帯域は 1GHz 以上のものを使用します。適切なプロロープを使用しないと、結果に悪影響を与えます。

ケーブルやコネクタに関する補足

LVDSで使用するケーブルやコネクタの選択は重要です。

使用するメディアはインピーダンスが調整されたものを使用します。ケーブルやコネクタは差動インピーダンスが約 100Ω の整合されたものを推奨します。インピーダンスに大きな不連続点があるはなりません。

平衡ケーブル(例えばツイストペア)は不平衡ケーブル(リボンケーブル、通常同軸ケーブル)に比べてノイズの低減や信号品質が優れています。平衡ケーブルは、電磁界の相殺効果によりEMIの発生が少ない傾向にあり、また拾った電磁放射ノイズも同相モードである(差動モードではない)ためレシーバによって除去できます。

ケーブル長が $d < 0.5\text{m}$ の場合は、ほとんどの種類のケーブルで正常に動作します。 $0.5\text{m} \leq d \leq 10\text{m}$ の距離では、広く市販され安価なカテゴリ3のツイストペアで十分です。

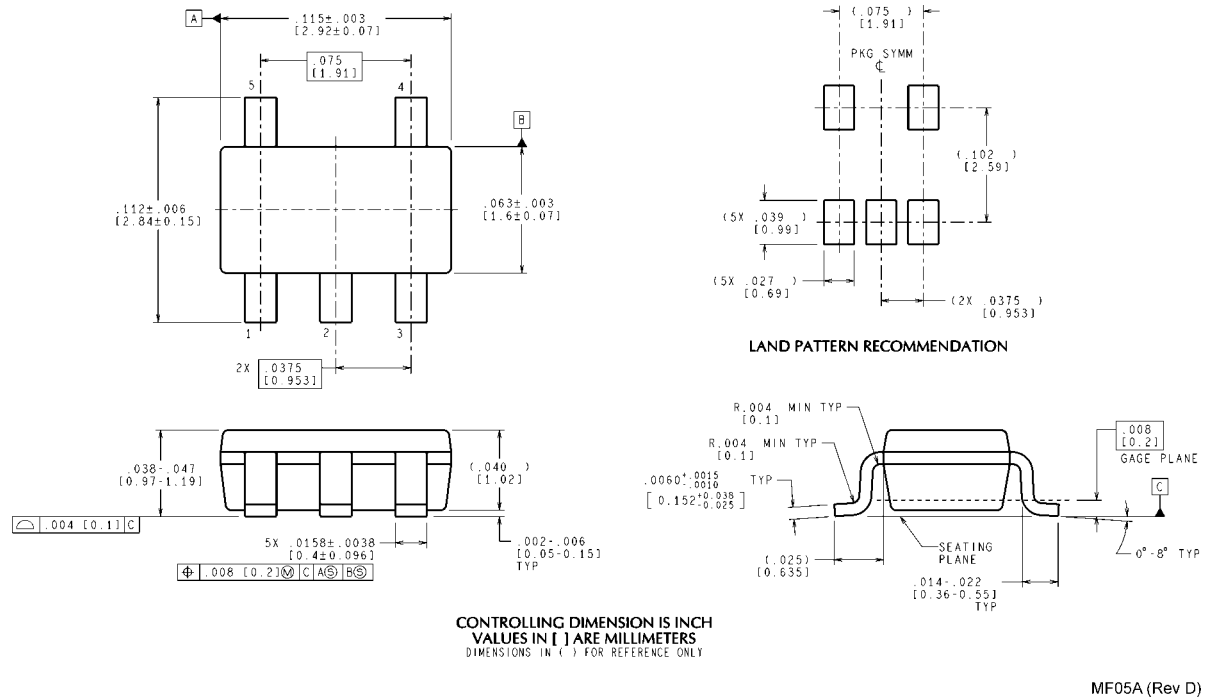
ピン配置図

ピン番号	ピン名	説明
SOT23		
4	IN -	レシーバ反転入力ピン
3	IN +	レシーバ非反転入力ピン
5	TTL 出力	レシーバ出力ピン
1	V _{DD}	電源ピン、+ 3.3V ± 0.3V
2	GND	グラウンド・ピン

製品情報

Operating Temperature	Package Type/ Number	Order Number
-40°C to +85°C	MF05A	DS90LT012AQMF

外形寸法図 特記のない限り inches (millimeters)



5-Lead SOT23, JEDEC MO-178, 1.6mm
Order Number DS90LT012AQMF
NS Package Number MF05A

このドキュメントの内容はナショナル セミコンダクター社 (以下ナショナル) 製品の関連情報として提供されます。ナショナルは、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナルがナショナルの製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルは製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナルの部品を使用した製品および製品適用の責任は購入者にあります。ナショナルの製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルとの取引条件で規定される場合を除き、ナショナルは一切の義務を負わないものとし、また、ナショナルの製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナルの製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。ここで、

生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター社の商標または登録商標です。一部のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/