

## DS90CF386

### + 3.3V LVDS レシーバ 24-Bit Flat Panel Display(FPD) Link-85MHz

#### 概要

レシーバ DS90CF386 は、4 ペアの LVDS データ・ストリーム (最大スループット 2.38Gbps、バンド幅 279.5MB/sec) を 28 ビットの CMOS/TTL パラレル・データ (RGB24 ビットおよび HSYNC、VSYNC、DE、CNTL の 4 ビット) に変換します。出力は立ち下がりがエッジ・ストロブです。この立ち下がりがエッジ・ストロブのレシーバは、立ち上がりエッジ・ストロブまたは立ち上がりエッジ・ストロブのトランスミッタ (DS90C385) と変換回路なしで接続可能です。

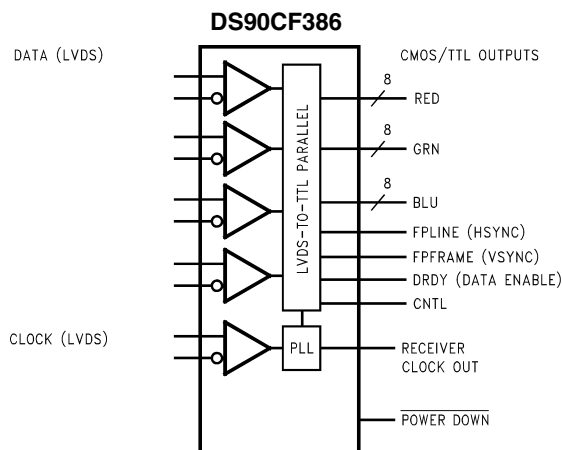
DS90CF386 はボール数 64、ピッチ間隔 0.8mm の FBGA (Fine Pitch Ball Grid Array) パッケージでも供給されます。このパッケージを使用すると、56 ピン TSSOP パッケージに比べてプリント基板の実装面積にして 44% 小さくなります。

このチップセットはバス幅が広く高速な TTL インタフェースで問題となっている EMI やケーブルサイズを解決するには理想的なチップセットです。

#### 特長

- クロック周波数 20 ~ 85MHz に対応
- 85MHz グレイスケール時の消費電力 < 142mW (代表値)
- パワーダウン・モード時の消費電力 < 1.44mW (最大値)
- ESD 耐圧 7kV 以上 (人体モデル)、700V 以上 (EIAJ)
- VGA、SVGA、XGA、シングル・ピクセル SXGA の高解像度をサポート
- PLL は外付け部品不要
- TIA/EIA-644 LVDS 標準準拠
- 高密度実装を可能にする 56 ピンまたは 48 ピン TSSOP パッケージ
- DS90CF386 は 64 ピン、0.8mm ピッチの FBGA パッケージでも供給

#### ブロック図



Order Number DS90CF386MTD or DS90CF386SLC  
See NS Package Number MTD56 or SLC64A

**絶対最大定格** (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_{CC}$ )	- 0.3V ~ + 4V
CMOS/TTL 出力電圧	- 0.3V ~ ( $V_{CC} + 0.3V$ )
LVDS レシーバ入力電圧	- 0.3V ~ ( $V_{CC} + 0.3V$ )
PN 接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け 4 秒、TSSOP)	+ 260
ハンダ・リフロー温度 (ハンダ付け 20 秒、FBGA)	+ 220

最大パッケージ許容消費電力 (+ 25 のとき)

MTD56 (TSSOP) パッケージ

DS90CF386MTD	1.61 W
--------------	--------

\* 周囲温度 + 25 を超える場合は、

DS90CF386MTD	12.4 mW/
--------------	----------

を減じてください。

最大パッケージ許容消費電力 (+ 25 のとき)

SLC64A パッケージ

DS90CF386SLC	2.0 W
--------------	-------

\* 周囲温度 + 25 を超える場合は、

DS90CF386SLC	10.2mW/
--------------	---------

を減じてください。

ESD 耐圧

(人体モデル、1.5 k $\Omega$ 、100 pF)	> 7 kV
--------------------------------	--------

(EIAJ、0 $\Omega$ 、200 pF)	> 700V
---------------------------	--------

**推奨動作条件**

	最小値	標準値	最大値	単位
電源電圧 ( $V_{CC}$ )	3.0	3.3	3.6	V
動作周囲温度 ( $T_A$ )	- 10	+ 25	+ 70	
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧 ( $V_{CC}$ )			100	mV <sub>pp</sub>

**電気的特性**

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>CMOS/TTL DC SPECIFICATIONS</b>							
$V_{IH}$	High Level Input Voltage		2.0		$V_{CC}$	V	
$V_{IL}$	Low Level Input Voltage		GND		0.8	V	
$V_{OH}$	High Level Output Voltage	$I_{OH} = -0.4$ mA	2.7	3.3		V	
$V_{OL}$	Low Level Output Voltage	$I_{OL} = 2$ mA		0.06	0.3	V	
$V_{CL}$	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.79	-1.5	V	
$I_{IN}$	Input Current	$V_{IN} = 0.4V, 2.5V$ or $V_{CC}$		+1.8	+15	$\mu$ A	
		$V_{IN} = GND$	-10	0		$\mu$ A	
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$		-60	-120	mA	
<b>LVDS RECEIVER DC SPECIFICATIONS</b>							
$V_{TH}$	Differential Input High Threshold	$V_{CM} = +1.2V$			+100	mV	
$V_{TL}$	Differential Input Low Threshold		-100			mV	
$I_{IN}$	Input Current	$V_{IN} = +2.4V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A	
		$V_{IN} = 0V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A	
<b>RECEIVER SUPPLY CURRENT</b>							
ICCRW	Receiver Supply Current Worst Case	$C_L = 8$ pF, Worst Case Pattern, DS90CF386 (Figures 1, 4)	f = 32.5 MHz		49	70	mA
			f = 37.5 MHz		53	75	mA
			f = 65 MHz		81	114	mA
			f = 85 MHz		96	135	mA
ICCRW	Receiver Supply Current Worst Case	$C_L = 8$ pF, Worst Case Pattern, DS90CF366 (Figures 1, 4)	f = 32.5 MHz		49	60	mA
			f = 37.5 MHz		53	65	mA
			f = 65 MHz		78	100	mA
			f = 85 MHz		90	115	mA
ICCRG	Receiver Supply Current, 16 Grayscale	$C_L = 8$ pF, 16 Grayscale Pattern,	f = 32.5 MHz		28	45	mA
			f = 37.5 MHz		30	47	mA

## 電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>RECEIVER SUPPLY CURRENT</b>						
		(Figures 2, 3, 4)	f = 65 MHz	43	60	mA
			f = 85 MHz	43	70	mA
ICCRZ	Receiver Supply Current Power Down	Power Down = Low Receiver Outputs Stay Low during Power Down Mode		140	400	μA

**Note 1:** 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

**Note 2:** 代表値 (Typ) はすべて  $V_{CC} = 3.3V$ 、 $T_A = +25$  で得られる最も標準的な数値です。

**Note 3:** デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。 $V_{OD}$  と  $V_{OD}$  以外、すべての電圧値はグラウンド端子を基準とします。

## レシーバ・スイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 4)		2.0	3.5	ns	
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 4)		1.8	3.5	ns	
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 11, Figure 12)	f = 85 MHz	0.49	0.84	1.19	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.17	2.52	2.87	ns
RSPos2	Receiver Input Strobe Position for Bit 2		3.85	4.20	4.55	ns
RSPos3	Receiver Input Strobe Position for Bit 3		5.53	5.88	6.23	ns
RSPos4	Receiver Input Strobe Position for Bit 4		7.21	7.56	7.91	ns
RSPos5	Receiver Input Strobe Position for Bit 5		8.89	9.24	9.59	ns
RSPos6	Receiver Input Strobe Position for Bit 6		10.57	10.92	11.27	ns
RSKM	RxIN Skew Margin (Note 4) (Figure 13)	f = 85 MHz	290			ps
RCOP	RxCLK OUT Period (Figure 5)		11.76	T	50	ns
RCOH	RxCLK OUT High Time (Figure 5)	f = 85 MHz	4.5	5	7	ns
RCOL	RxCLK OUT Low Time (Figure 5)		4.0	5	6.5	ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 5)		2.0			ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 5)		3.5			ns
RCCD	RxCLK IN to RxCLK OUT Delay @ 25°C, $V_{CC} = 3.3V$ (Figure 6)		5.5	7.0	9.5	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 7)			10		ms
RPDD	Receiver Power Down Delay (Figure 10)			1		μs

**Note 4:** レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンはトランスマッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールドタイム (内部のデータ・サンプリング枠 - RSPos) により導き出されています。このマージンは LVDS 配線スキュー、符号間干渉 ISI (ケーブルのタイプと長さにより異なります。) とクロック・ジッタ (150ps 以下) により減少します。

AC タイミング図

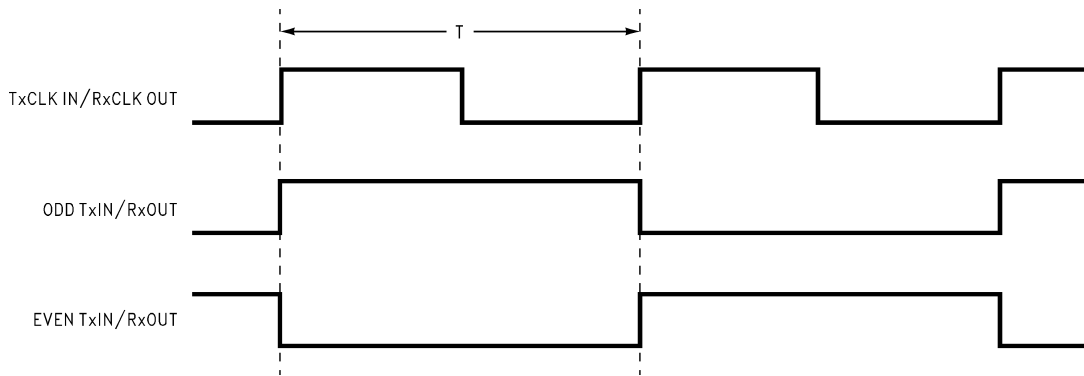


FIGURE 1. "Worst Case" Test Pattern

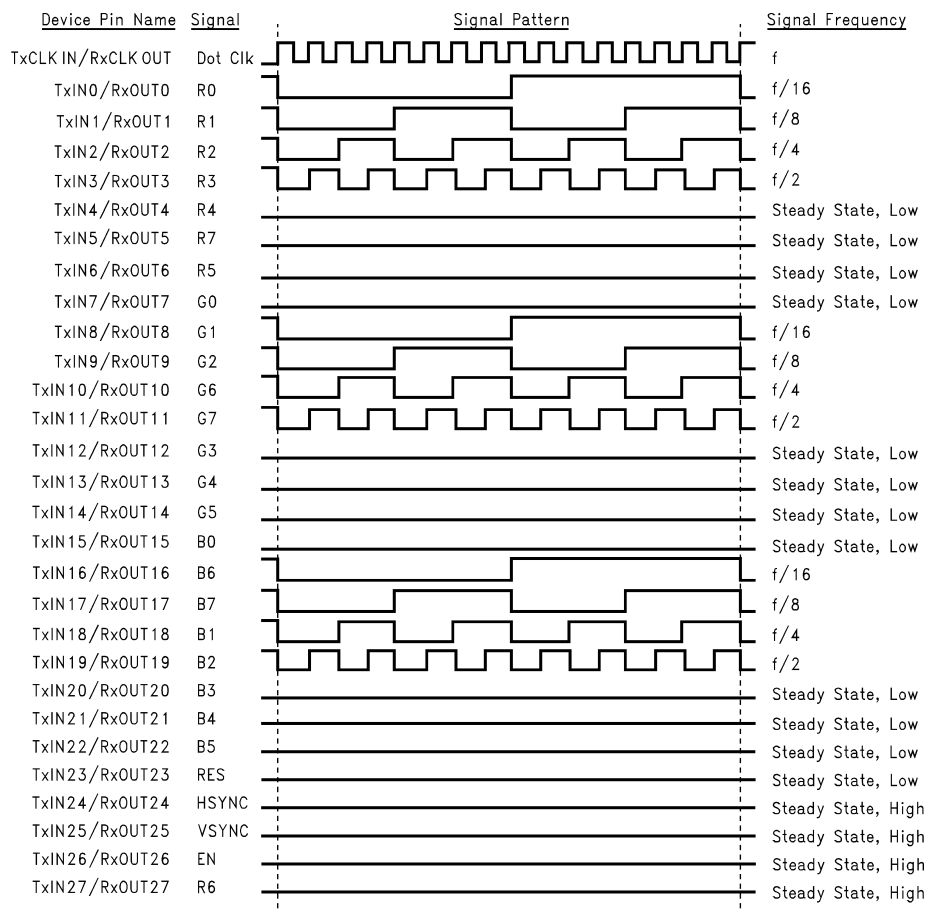


FIGURE 2. "16 Grayscale" Test Pattern (DS90CF386) (Note 5, 6, 7, 8)

AC タイミング図 (つづき)

**Note 5:** ワーストケース・パターンはデバイスのデジタル回路、LVDS I/O と TTL I/O が最悪なように考えられています。

**Note 6:** 16 階調テスト・パターンは LCD ディスプレイの代表的パターンにおけるデバイスの消費電力を算定するためのものです。このパターンは 16 の縦ストライブのグループがディスプレイに並ぶように信号を近似しています。

**Note 7:** 立ち下がりエッジ・ストロブの場合です (TxCLK IN/RxCLK OUT)。

**Note 8:** 推奨ピン・アサインですが、独自のアサインにすることも可能です。



FIGURE 4. DS90CF386 (Receiver) CMOS/TTL Output Load and Transition Times

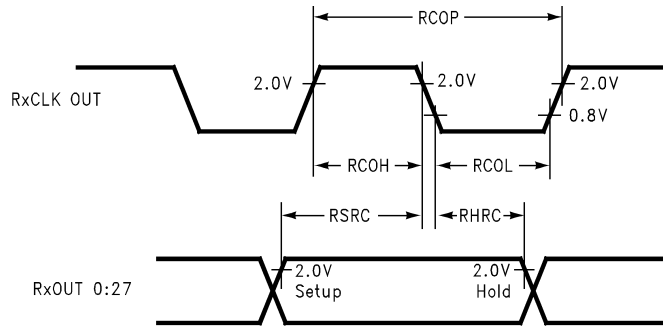


FIGURE 5. DS90CF386 (Receiver) Setup/Hold and High/Low Times

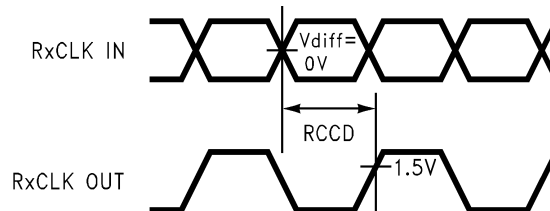


FIGURE 6. DS90CF386 (Receiver) Clock In to Clock Out Delay

AC タイミング図 (つづき)

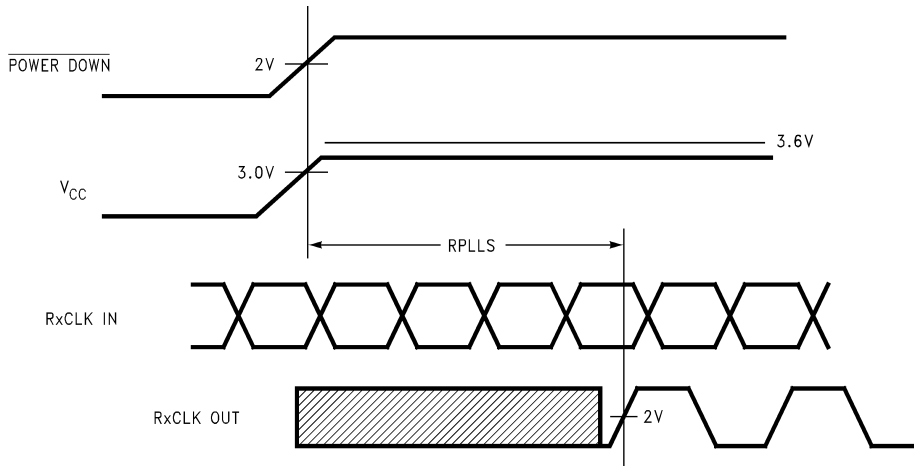


FIGURE 7. DS90CF386 (Receiver) Phase Lock Loop Set Time

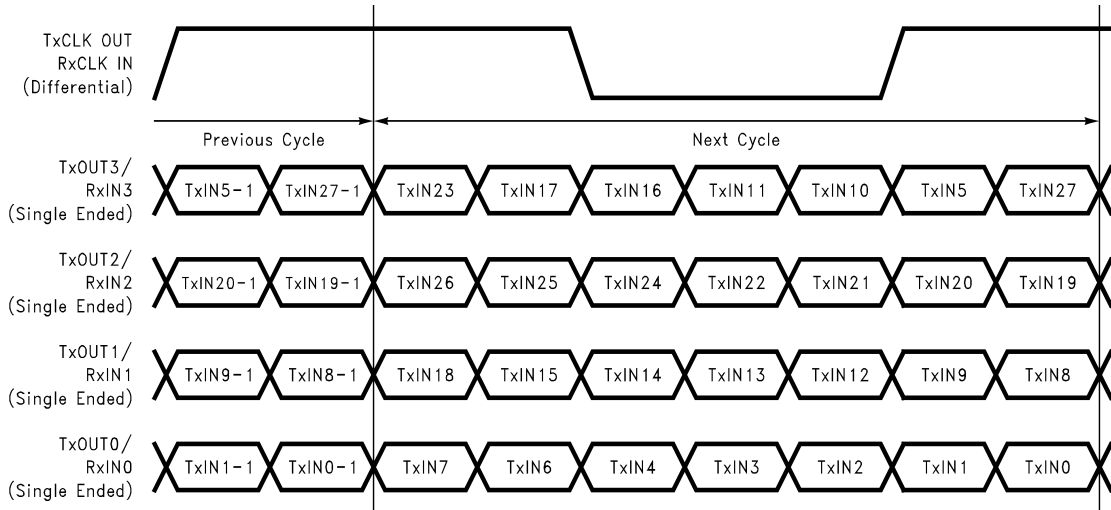


FIGURE 8. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90CF386

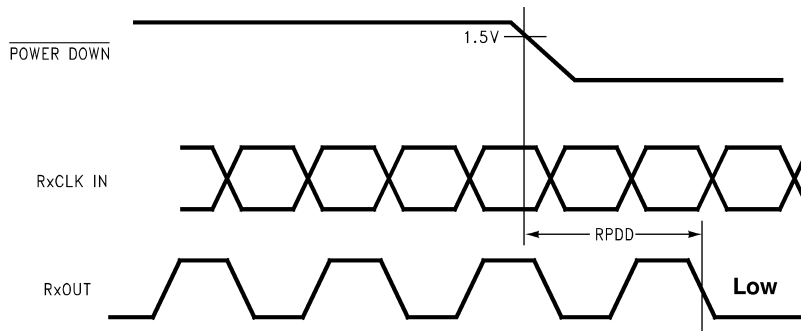


FIGURE 10. DS90CF386 (Receiver) Power Down Delay

AC タイミング図 (つづき)

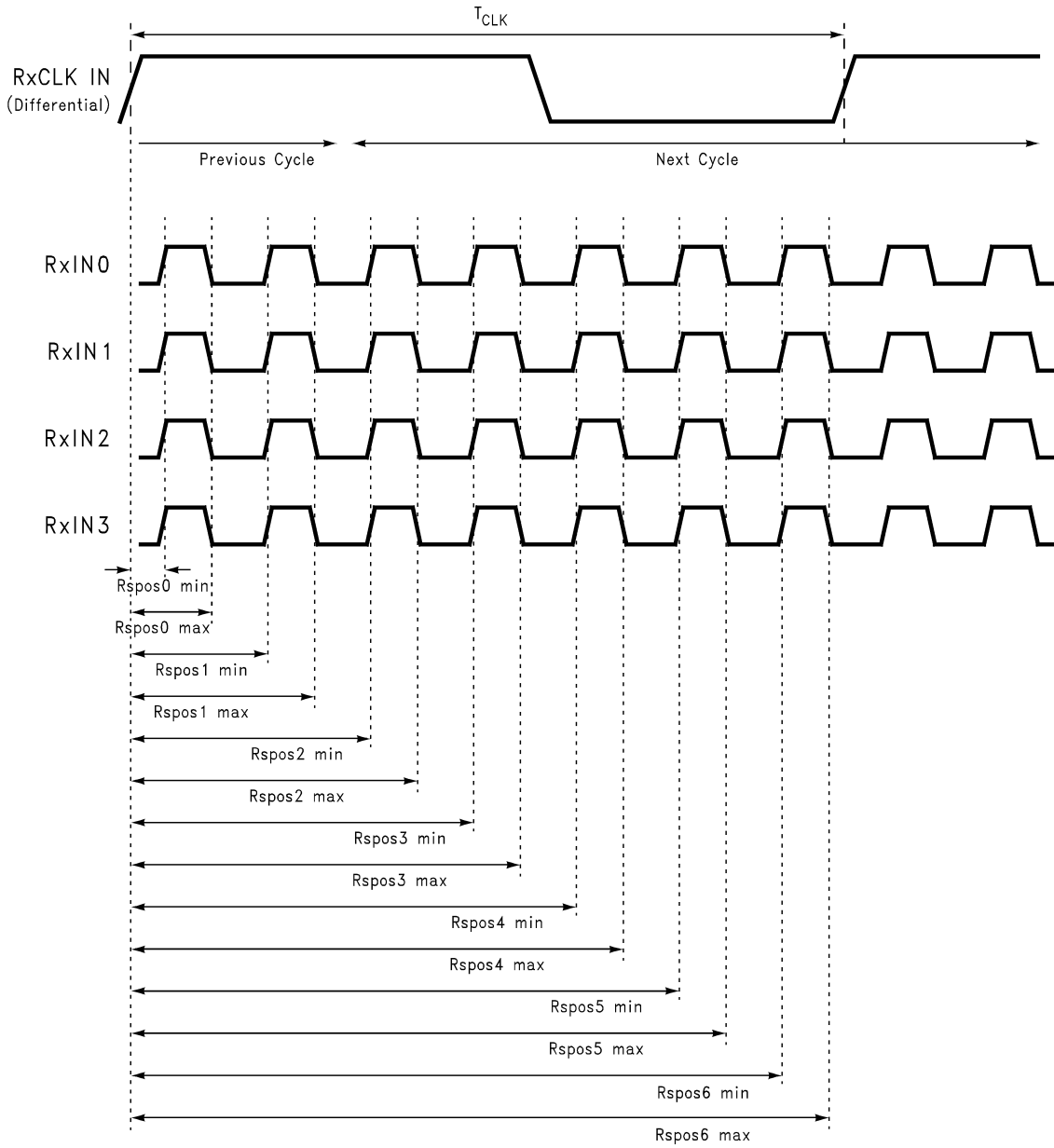
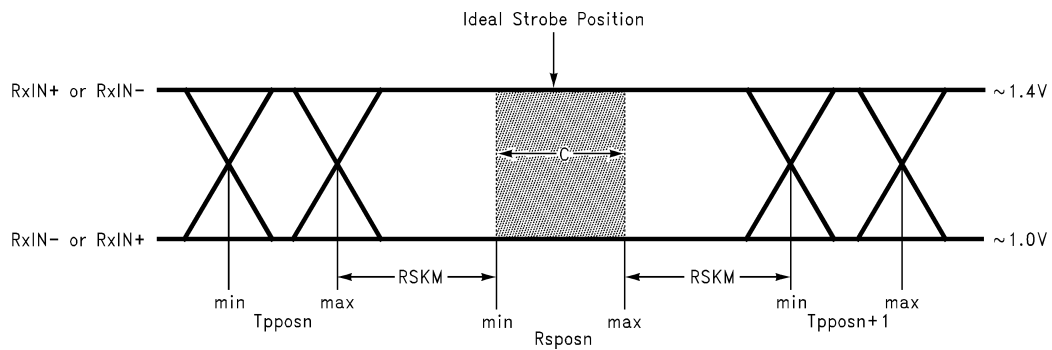


FIGURE 11. DS90CF386 (Receiver) LVDS Input Strobe Position

## AC タイミング図 (つづき)



C セットアップ / ホールドタイム (内部のデータ・サンプリング枠) は  $R_{spostn}$  (レシーバ入力ストロブ・ポジション) min と max により定義されます。

$T_{pposn}$  トランスミッタ出力パルス・ポジション (min と max)

$RSKM$  ケーブル・スキュー (タイプと長さによって異なります) + ソースクロック・シフト (連続する2クロック間)(Note 9) + ISI (符号間干渉)(Note 10)

ケーブル・スキュー 通常 10 ~ 40ps/300mm、ケーブルにより異なります。

**Note 9:** 85MHz 動作時のシフトは 250ps 以下にしてください。

**Note 10:** ISI は内部配線長によって異なります。通常は 0 です。

FIGURE 13. Receiver LVDS Input Skew Margin

## DS90CF386 MTD56 パッケージ端子説明— 24-Bit FPD-Link レシーバ

端子名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベル・データ出力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、4 ビットの制御信号 FPLINE、FPFRAME、DRDY (HSYNC、VSYNC、Data Enable、他) が含まれます。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち下がりがエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。入力が Low が入力されると、レシーバ出力は、Low になります。
V <sub>CC</sub>	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V <sub>CC</sub>	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V <sub>CC</sub>	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

## DS90CF386 64 ボール FBGA パッケージ端子説明— FPD-Link レシーバ

端子名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動クロック入力
RxIN -	I	4	負の LVDS 差動クロック入力
RxOUT	O	28	TTL レベルのデータ出力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、4 ビットの制御信号 FPLINE (HSYNC)、FPFRAME (VSYNC)、DRDY (Data Enable)、CNTL が含まれます。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
FPSHIFT OUT	O	1	TTL レベルのクロック出力。立ち下がりがエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベルの入力。入力が Low が入力されると、レシーバ出力は Low になります。
V <sub>CC</sub>	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V <sub>CC</sub>	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V <sub>CC</sub>	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン
NC		6	未使用

## DS90CF386 64 ボール FBGA パッケージ端子説明 — FPD-Link レシーバ

端子番号順			端子種別順		
端子番号	端子名	I/O 種別	端子番号	端子名	I/O 種別
A1	RxOUT17	O	A4	GND	G
A2	VCC	P	B1	GND	G
A3	RxOUT15	O	B6	GND	G
A4	GND	G	D8	GND	G
A5	RxOUT12	O	E3	GND	G
A6	RxOUT8	O	E5	LVDS GND	G
A7	RxOUT7	O	G3	LVDS GND	G
A8	RxOUT6	O	G7	LVDS GND	G
B1	GND	G	H5	LVDS GND	G
B2	NC		F6	PLL GND	G
B3	RxOUT16	O	G8	PLL GND	G
B4	RxOUT11	O	E6	PWR DWN	I
B5	VCC	P	H6	RxCLKIN -	I
B6	GND	G	H7	RxCLKIN +	I
B7	RxOUT5	O	H2	RxIN0 -	I
B8	RxOUT3	O	H3	RxIN0 +	I
C1	RxOUT21	O	F4	RxIN1 -	I
C2	NC		G4	RxIN1 +	I
C3	RxOUT18	O	G5	RxIN2 -	I
C4	RxOUT14	O	F5	RxIN2 +	I
C5	RxOUT9	O	G6	RxIN3 -	I
C6	RxOUT4	O	H8	RxIN3 +	I
C7	NC		E7	RxCLKOUT	O
C8	RxOUT1	O	E8	RxOUT0	O
D1	VCC	P	C8	RxOUT1	O
D2	RxOUT20	O	D5	RxOUT10	O
D3	RxOUT19	O	B4	RxOUT11	O
D4	RxOUT13	O	A5	RxOUT12	O
D5	RxOUT10	O	D4	RxOUT13	O
D6	VCC	P	C4	RxOUT14	O
D7	RxOUT2	O	A3	RxOUT15	O
D8	GND	G	B3	RxOUT16	O
E1	RxOUT22	O	A1	RxOUT17	O
E2	RxOUT24	O	C3	RxOUT18	O
E3	GND	G	D3	RxOUT19	O
E4	LVDS VCC	P	D7	RxOUT2	O
E5	LVDS GND	G	D2	RxOUT20	O
E6	PWR DWN	I	C1	RxOUT21	O
E7	RxCLKOUT	O	E1	RxOUT22	O
E8	RxOUT0	O	F1	RxOUT23	O

## DS90CF386 64 ボール FBGA パッケージ端子説明 — FPD-Link レシーバ (つづき)

端子番号順			端子種別順		
端子番号	端子名	I/O 種別	端子番号	端子名	I/O 種別
F1	RxOUT23	O	E2	RxOUT24	O
F2	RxOUT26	O	G1	RxOUT25	O
F3	NC		F2	RxOUT26	O
F4	RxIN1 -	I	H1	RxOUT27	O
F5	RxIN2 +	I	B8	RxOUT3	O
F6	PLL GND	G	C6	RxOUT4	O
F7	PLL VCC	P	B7	RxOUT5	O
F8	NC		A8	RxOUT6	O
G1	RxOUT25	O	A7	RxOUT7	O
G2	NC		A6	RxOUT8	O
G3	LVDS GND	G	C5	RxOUT9	O
G4	RxIN1 +	I	E4	LVDS VCC	P
G5	RxIN2 -	I	H4	LVDS VCC	P
G6	RxIN3 -	I	F7	PLL VCC	P
G7	LVDS GND	G	A2	VCC	P
G8	PLL GND	G	B5	VCC	P
H1	RxOUT27	O	D1	VCC	P
H2	RxIN0 -	I	D6	VCC	P
H3	RxIN0 +	I	B2	NC	
H4	LVDS VCC	P	C2	NC	
H5	LVDS GND	G	C7	NC	
H6	RxCLKIN -	I	F3	NC	
H7	RxCLKIN +	I	F8	NC	
H8	RxIN3 +	I	G2	NC	

G : グラウンド

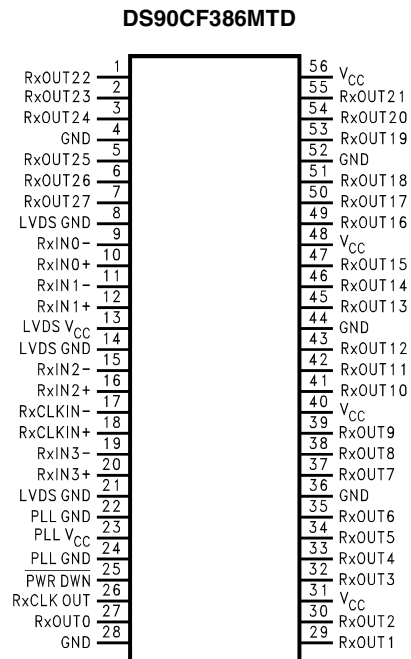
I : 入力

O : 出力

P : 電源

NC: 未使用

## ピン配置図 (TSSOP パッケージ)



## アプリケーション情報

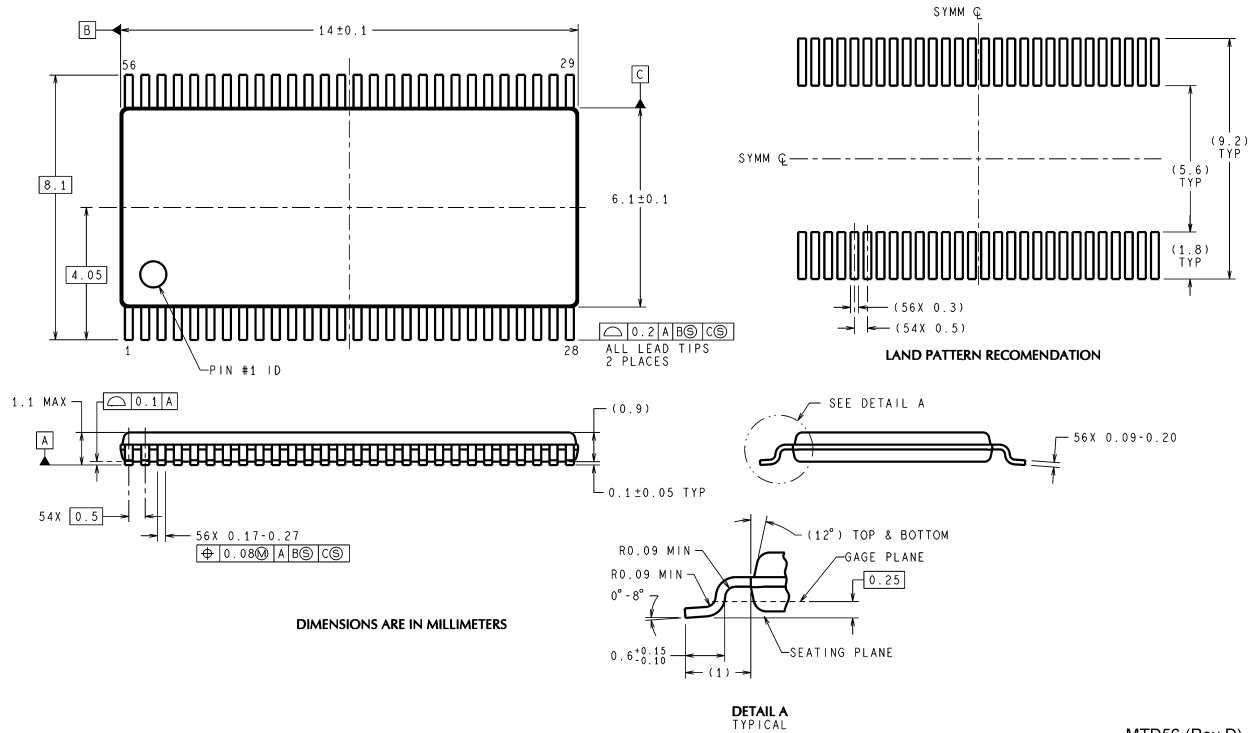
## 電源シーケンスとパワーダウン・モード

トランスミッタの出力は、電源電圧が 2V に達するまで TRI-STATE 状態を保持します。その後 V<sub>CC</sub> が 3V に達し、かつ PWR DOWN 端子が 1.5V 以上になると、その 10ms 後からクロックとデータ出力はトリプルを始めます。どちらのデバイスも PWR DOWN 端子 (アクティブ Low) をアサートすると、任意のタイミングでパワーダウン・モードに移行させることが可能です。パワーダウン・モードでは、それぞれのデバイスの全消費電力は 5μW (typ) まで低下します。

トランスミッタのクロック入力、トランスミッタに電源電圧を印加する以前、または電源電圧印加後のどちらのタイミングで与えても構いません。ただし後者の場合、「Transmitter Input Clock」で述べているとおり、PWR DOWN 信号によってデバイスをパワーダウン・モードにしておく必要があります。すなわち、TxCLK IN 端子に有効なクロック信号を与えていない状態で、電源電圧を印加してデバイスをイネーブル (PWR DOWN = High) にはなりません。

FPD Link チップセットは、何らかの理由によってトランスミッタまたはレシーバの電源が失われた場合でも、自身を保護するように設計されています。送信基板側の電源が失われた場合、レシーバ・クロック (入力および出力) が停止します。レシーバのデータ出力 (RxOUT) は、クロックが停止した時点の状態を保持します。受信基板側の電源が失われた場合は、レシーバ入力はフェイルセーフ・バイアス回路によって制御されます。LVDS 入力は、パワーオン中、電源オフ中ともにハイ・インピーダンスです。また、定電流モード・ドライバによって、電流は 5mA に制限されているので、デバイスの電源が回復したときにラッチアップが生じることはありません。

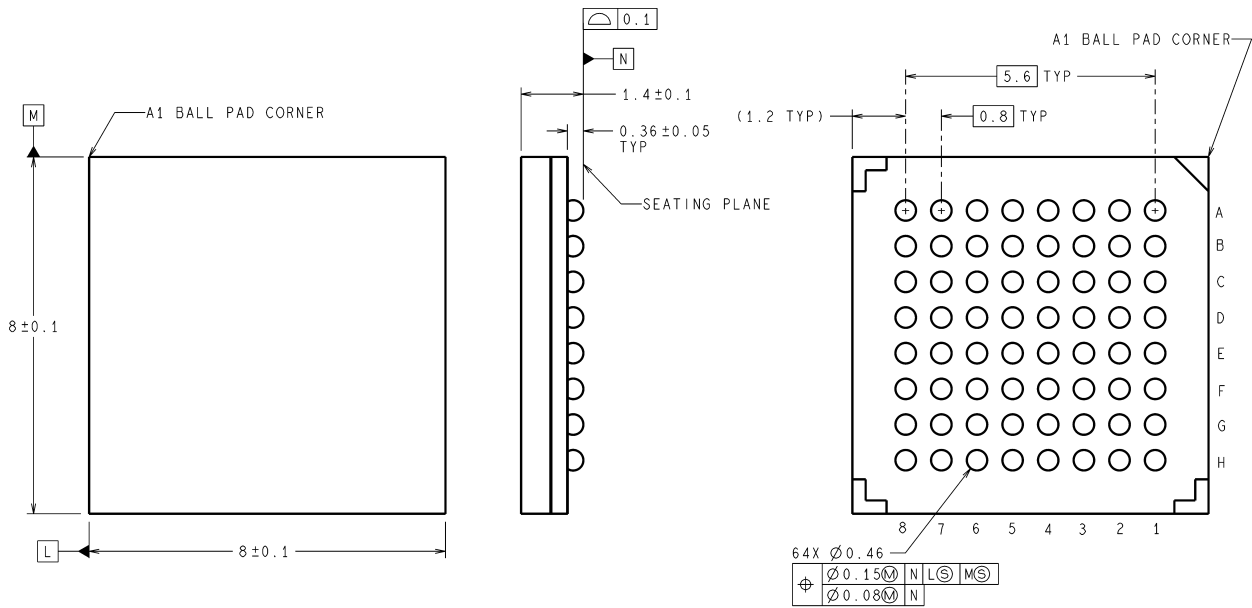
外形寸法図 単位は millimeters



56-Lead Molded Thin Shrink Small Outline Package, JEDEC  
 Dimensions shown in millimeters only  
 Order Number DS90CF386MTD  
 NS Package Number MTD56

MTD56 (Rev D)

外形寸法図 単位は millimeters ( つづき)



DIMENSIONS ARE IN MILLIMETERS

SLC64A (Rev C)

64 ball, 0.8mm fine pitch ball grid array (FBGA) Package  
 Dimensions show in millimeters  
 Order Number DS90CF386SLC  
 NS Package Number SLC64A

ナショナルは記述したいかなる回路についても、その使用に関して責任を負うものではありません。特許の使用許諾を与えることを意味するものではありません。ナショナルは当該回路および仕様を任意の時点で予告なく変更する権利を有します。製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

禁止物質不使用に関する適合

ナショナル セミコンダクターの製品および梱包材料は、CSP-9-111C2 規格 (Customer Products Stewardship Specification)、CSP-9-111S2 規格 (Banned Substances and Materials of Interest Specification) の規約に準拠しており、CSP-9-111S2 に定義された禁止物質を使用しておりません。鉛フリー製品は RoHS 指令に対応しております。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。