



2005年8月

## DS90C402

### LVDS 2 回路入り CMOS 差動入力ライン・レシーバ

#### 概要

DS90C402 は平衡伝送ラインでのデジタル・データ伝送用に設計された Low Voltage Differential Signaling (LVDS) 形態の 2 回路入り CMOS 差動入力ライン・レシーバです。

DS90C402 は、ANSI/TIA/EIA-644 及び IEEE1596.3 (SCI LVDS) 規格に適合しており、同規格である DS90C401 と組み合わせることにより、ポイント・ツー・ポイント構成の低消費、高速 (155.5Mbps 以上) のデジタル伝送が可能です。特にチャンネル間スキューが 1.5ns (最大) と少ないため、同期転送の平行インタフェースに最適です。

DS90C402 はフェイルセーフ機能が充実しており、終端されたバスライン上でも、バスが短絡、開放、及びハイ・インピーダンスになった場合、レシーバの出力が論理 "H" に固定されます。(通常のデバイスでは終端抵抗が接続されている場合、上記の機能は働きません。)

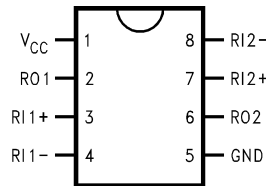
DS90C402 は、低い電圧 (350mV) の LVDS 入力信号を CMOS レベルに変換し出力します。

DS90C402 は、EIA-422 規格以上の高速伝送を必要とするアプリケーションや、消費電力の大きい疑似 ECL (PECL) と置き換えて使用することが可能です。

#### 特長

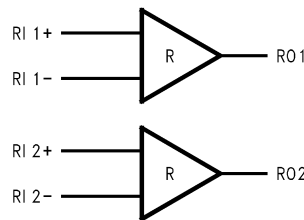
5.0V 単一電源	
IEEE1596.3 (SCI LVDS) 規格に適合	
ANSI/TIA/EIA -644 規格に適合	
> 155.5Mbps (77.7MHz) の転送レート	
差動入力スレッショルド電圧	± 100mV (最大)
低消費電力設計	
差動入力スキュー	1.2ns (最大)
チャンネル間スキュー	1.5ns (最大)
デバイス間スキュー	5.0ns (最大)
伝搬遅延時間	6.0ns (最大)
動作周囲温度範囲 (T <sub>A</sub> )	- 40 ~ + 85

#### ピン配置図



Order Number DS90C402M  
See NS Package Number M08A

#### 機能図



### 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

最大電源電圧 (V <sub>CC</sub> )	- 0.3V ~ + 6V
最大入力電圧 (R <sub>IN+</sub> , R <sub>IN-</sub> )	- 0.3V ~ (V <sub>CC</sub> + 0.3V)
最大出力耐圧 (R <sub>OUT</sub> )	- 0.3V ~ (V <sub>CC</sub> + 0.3V)
最大パッケージ許容損失 (PD) (周囲温度 25 °C において)	
SOIC "M" パッケージ	1025mW
25 °C 以上の周囲温度で使用される場合は、 M パッケージ	8.2mW/
を減じてください。	
保存温度範囲 (TSTG)	- 65 ~ + 150
許容リード温度 (ハンダ付け 4 秒)	+ 260

PN 接合温度	+ 150
ESD 耐圧 (Note 7)	
HBM、1.5 k $\Omega$ 、100pF	3500V
EIAJ、0 $\Omega$ 、200pF	250V

### 推奨動作条件

	最小値	最大値	単位
電源電圧 (V <sub>CC</sub> )	+ 4.5	+ 5.5	V
入力電圧	GND	2.4	V
動作周囲温度 (T <sub>A</sub> )	- 40	+ 85	

### DC 電気的特性

特記のない限り、推奨動作条件に記載の電源電圧及び動作周囲温度に対して適用。(Note 2)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units
V <sub>TH</sub>	Differential Input High Threshold	V <sub>CM</sub> = + 1.2V	R <sub>IN+</sub> , R <sub>IN-</sub>			+100	mV
V <sub>TL</sub>	Differential Input Low Threshold			-100			mV
I <sub>IN</sub>	Input Current	V <sub>IN</sub> = +2.4V V <sub>IN</sub> = 0V	V <sub>CC</sub> = 5.5V	-10	±1	+10	µA
				-10	±1	+10	µA
V <sub>OH</sub>	Output High Voltage	I <sub>OH</sub> = -0.4 mA, V <sub>ID</sub> = +200 mV	R <sub>OUT</sub>	3.8	4.9		V
		I <sub>OH</sub> = -0.4mA, Inputs terminated		3.8	4.9		V
		I <sub>OH</sub> = -0.4mA, Inputs Open		3.8	4.9		V
		I <sub>OH</sub> = -0.4mA, Inputs Shorted			4.9		V
V <sub>OL</sub>	Output Low Voltage	I <sub>OL</sub> = 2 mA, V <sub>ID</sub> = -200 mV			0.07	0.3	V
I <sub>OS</sub>	Output Short Circuit Current	V <sub>OUT</sub> = 0V (Note 8)		-15	-60	-100	mA
I <sub>CC</sub>	No Load Supply Current	Inputs Open	V <sub>CC</sub>		3.5	10	mA

### スイッチング特性

V<sub>CC</sub> = + 5.0V ± 10%, T<sub>A</sub> = - 40 ~ + 85 (Note 3, 4, 5, 6, 9)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
t <sub>PHLD</sub>	Differential Propagation Delay High to Low	C <sub>L</sub> = 5 pF, V <sub>ID</sub> = 200 mV (Figure 1 and Figure 2)	1.0	3.40	6.0	ns	
t <sub>PLHD</sub>	Differential Propagation Delay Low to High		1.0	3.48	6.0	ns	
t <sub>SKD</sub>	Differential Skew  t <sub>PHLD</sub> - t <sub>PLHD</sub>		0	0.08	1.2	ns	
t <sub>SK1</sub>	Channel-to-Channel Skew (Note 5)		0	0.6	1.5	ns	
t <sub>SK2</sub>	Chip to Chip Skew (Note 6)				5.0	ns	
t <sub>TLH</sub>	Rise Time				0.5	2.5	ns
t <sub>THL</sub>	Fall Time				0.5	2.5	ns

## Parameter Measurement Information

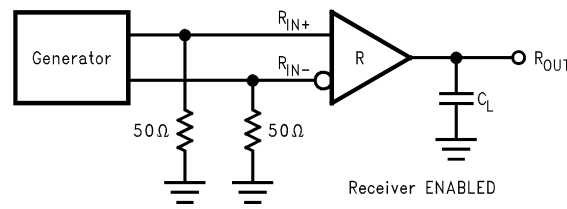


FIGURE 1. Receiver Propagation Delay and Transition Time Test Circuit

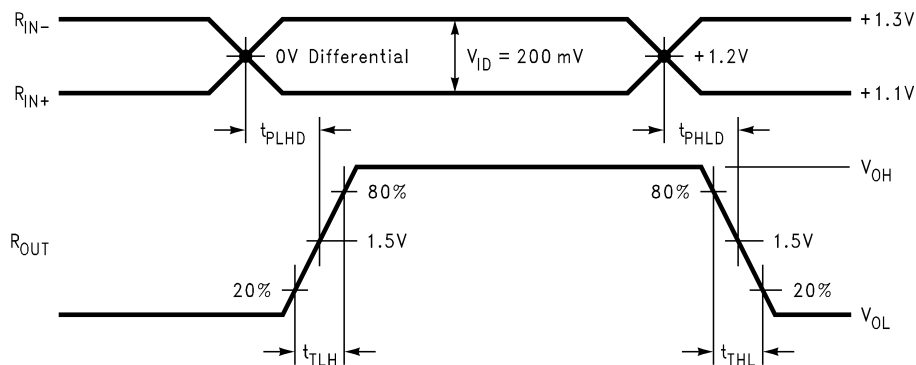


FIGURE 2. Receiver Propagation Delay and Transition Time Waveforms

### 代表的なアプリケーション

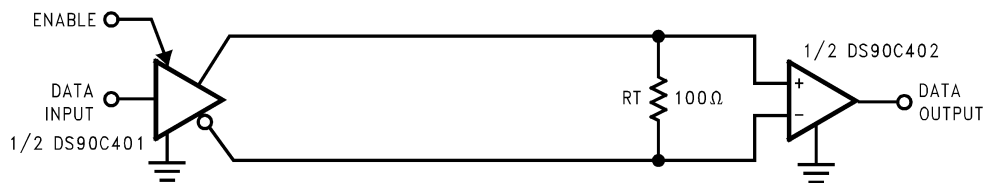


FIGURE 3. Point-to-Point Application

### アプリケーション情報

LVDSドライバとレシーバは、まず、Figure 3 に示したような、複雑でない、ポイント・ツー・ポイント（一組のドライバとレシーバ）構成での使用を目的としています。この構成は、ドライバの速いエッジレートのためのクリーンな信号の環境を提供します。レシーバは、標準的なツイストペアケーブル、パラレルペアケーブル、または簡単なPCBのパターン等の平衡伝送経路を通してドライバに接続されます。標準的には、メディアのインピーダンス特性は100のレンジにあります。100の終端抵抗は、メディアに適応するように選択され、そして可能な限りレシーバの入力の近くに配置されるべきです。終端抵抗は、ドライバの電流ソースをレシーバによって検出し電圧に変換します。その他の構成として、マルチレシーバ構成等が可能です、しかしミッドストリームコネクタ、ケーブルスタブ、その他のグラウンドのシフト等によるインピーダンスの不連続、ノイズマージンの制限等の影響、そして、終端の負荷の総計等が考慮されなければなりません。

DS90C402は、中心が+1.2V付近にある±1Vのコモンモードレンジで、±100mV程の低い信号を検出できる差動入力ラインレシーバです。このことは、ドライバのオフセット電圧が標準で+1.2Vであることに関連しています。伝送される信号の中心はこの電圧

付近にあり、そしてこの中心から±1V程度変動するかもしれません。また、この±1Vの変動は、ドライバとレシーバ間のグラウンドの基準とグラウンド電位の違い、カプラーノイズのコモンモードへの影響、または、その両方の組み合わせによるものかもしれません。レシーバの両方の入力へは、規定されている0Vから+2.4V（それぞれの端子とグラウンド間の電圧）の動作入力電圧範囲が加えられるべきです。これらの制限値を越えた場合は、バスの電圧をクランプするESD保護回路をターンオンさせるかもしれません。

#### フェイルセーフ動作

LVDSレシーバは小さい差動入力電圧(20mV)をCMOSロジックに変換する高利得、ハイスピードのアンプです。このように高利得、低い差動入力のため有効信号からノイズなどの発生については注意を払います。

DS90C402はフェイルセーフ機能を備えています。次に述べるいずれかの状態にいたるとレシーバの出力が論理"High"に固定します。

## アプリケーション情報 (つぎ)

1. 入力端子が開放の場合  
もし使用しない場合は差動入力端子を開放しておきます。電源やグラウンドに接続しないでください。各入力には内部回路において抵抗によりバイアスされていて出力を "High" に固定するように設計されています。
2. 差動入力端子が終端された状態  
ドライバがディセーブル、または電源 OFF 時におけるトリスレート状態のとき、あるいはコネクタが外れた場合、100 Ω の終端抵抗が接続された状態でもレシーバの出力を "High" に固定します。送信側と受信側を接続しているコネクタが、送信側で外れて受信側にぶら下がっている場合、ケーブルがフローティングアンテナになりノイズ等を拾うことがあります。もしレシーバにこの浮いた状態のコネクタが接続されていて、10mV 以上の差動ノイズをコネクタが拾うとレシーバが感知することがありますが、平衡接続された使用では同相ノイズや差動以外のノイズに関してはレシーバで除去できるため誤動作はしません。
3. 差動入力端子が短絡した状態  
もし入力に接続されたツイステッド・ペア線が何らかの原因で短絡した場合、フェイルセーフ回路が動作し、レシーバ出力を論理 "High" に固定します。この短絡時のフェイルセーフは外部から同相電圧が印加されていない状態で働きます。外部ノイズが強い場合、レシーバの差動入力端子にプルアップ抵抗 (+ 側) プルダウン (- 側) を接続し外部からバイアスを

かけてやります。ドライバの駆動能力によりますが、抵抗値はそれぞれ 5k Ω ~ 15k Ω の間で設定します。各入力のオフセット電圧 (同相電圧) を約 1.2V (1.75V 以内) になるように抵抗を調整すると内部回路と同等になります。

## ピン配置図

Pin No.	Name	Description
2, 6	R <sub>OUT</sub>	Receiver output pin
3, 7	R <sub>IN+</sub>	Positive receiver input pin
4, 8	R <sub>IN-</sub>	Negative receiver input pin
5	GND	Ground pin
1	V <sub>CC</sub>	Positive power supply pin, +5V ± 10%

## 製品情報

Operating Temperature	Package Type/Number	Order Number
-40°C to +85°C	SOP/M08A	DS90C402M

## RECEIVE MODE

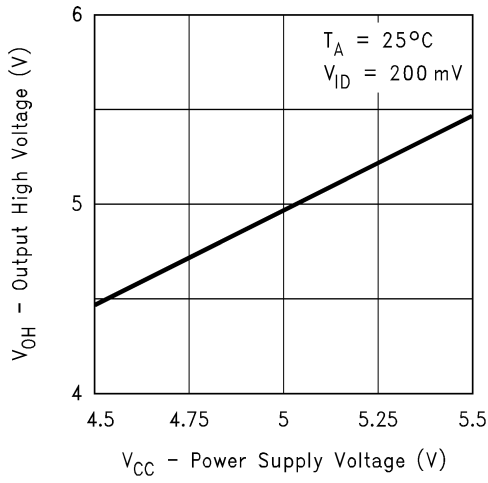
R <sub>IN+</sub> - R <sub>IN-</sub>	R <sub>OUT</sub>
> +100 mV	H
< -100 mV	L
100 mV > & > -100 mV	X

H = Logic High Level  
L = Logic Low level  
X = Indeterminant State

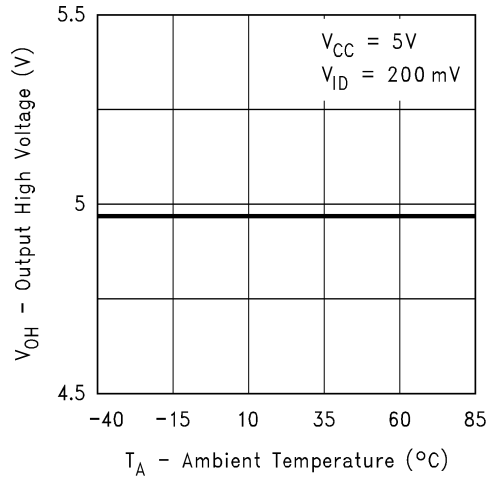
- Note 1:** 「絶対最大定格」とは、この値を超えるとデバイスの安全を保障できない値です。デバイスがこの規格値で動作する事を意味しているわけではありません。「電気的特性」の表にデバイスの実際の動作条件が示されています。
- Note 2:** デバイスのピンに流れ込む電流はすべて正、デバイスのピンから流れ出す電流は負と示されています。特記のない限り、すべての電圧はグラウンドを基準としています。
- Note 3:** すべての標準値は、V<sub>CC</sub> = + 5.0V、T<sub>A</sub> = + 25 °C の値です。
- Note 4:** 特記のない限り、パルスゼネレータの波形は、f = 1MHz、Z<sub>O</sub> = 50 Ω、t<sub>r</sub> = t<sub>f</sub> = 6ns。
- Note 5:** チャネル間スキューは、同一チップ上におけるチャネル間の伝搬遅延時間の差として定義しています。
- Note 6:** チップ間のスキューは、最大、最小間の差動伝搬遅延時間の差として定義しています。
- Note 7:** ESD 耐圧: HBM(1.5K、100pF) 3500V  
EIAJ(0、200pF) 250V
- Note 8:** 出力短絡電流 (I<sub>OS</sub>) は大きさを表し、マイナス符号は電流の流れる方向を表しています。測定に当たっては一度につき一回路とし、接合温度 (T<sub>J</sub>) を越えないようにしてください。
- Note 9:** C<sub>L</sub> はプローブ容量と治具容量を含んでいます。

代表的な性能特性

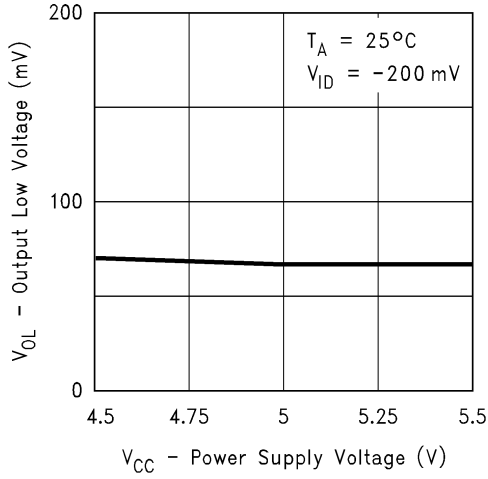
**Output High Voltage vs Power Supply Voltage**



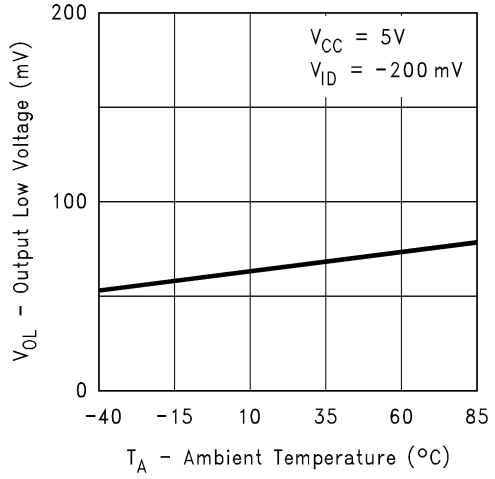
**Output High Voltage vs Ambient Temperature**



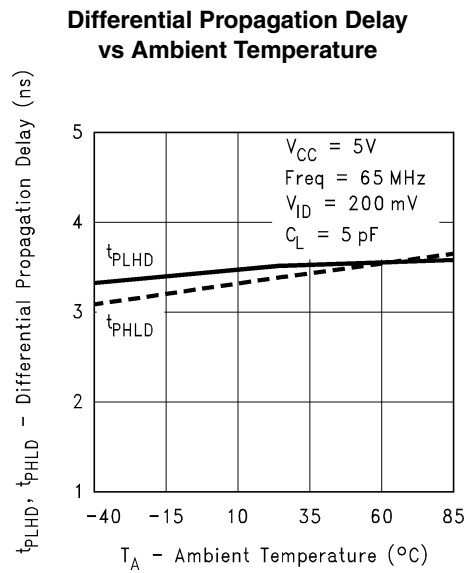
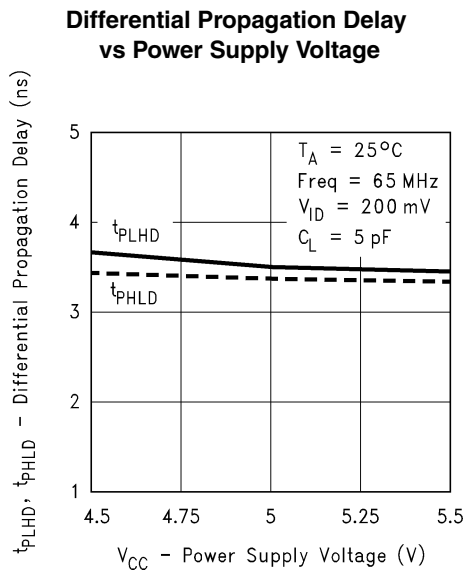
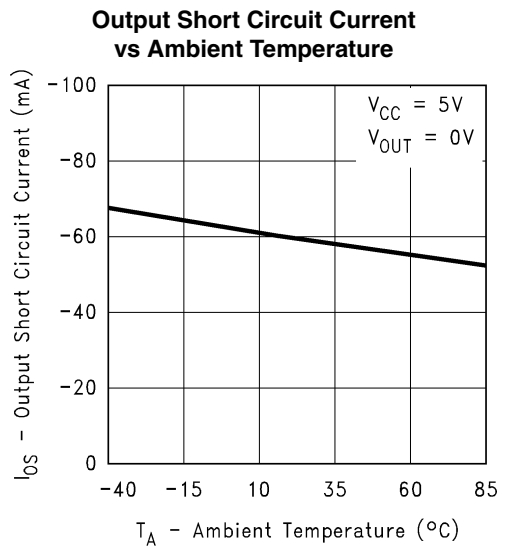
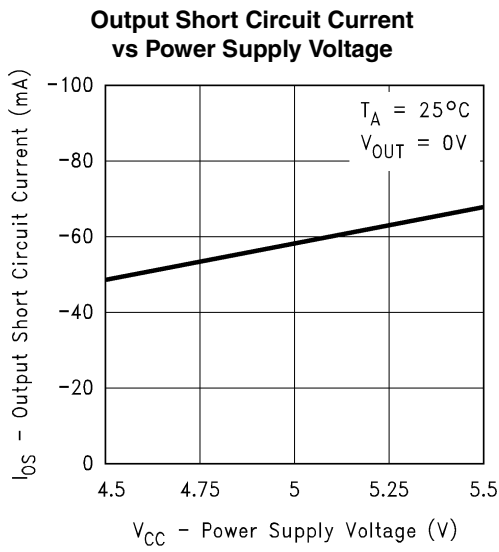
**Output Low Voltage vs Power Supply Voltage**



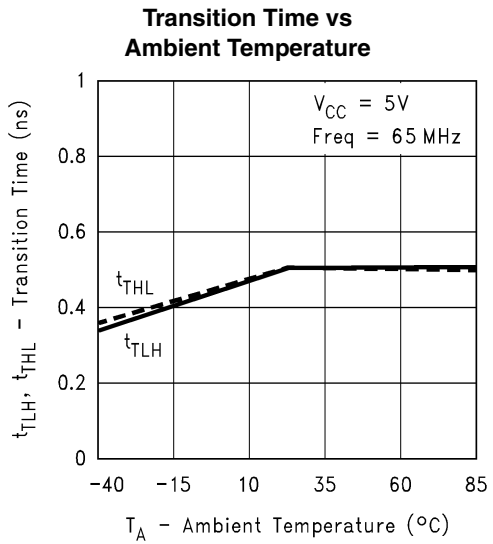
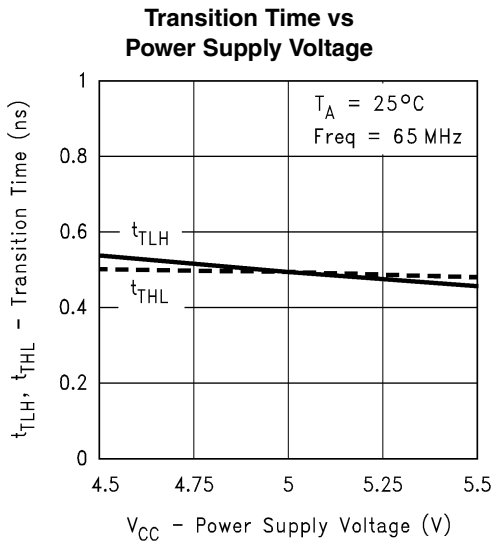
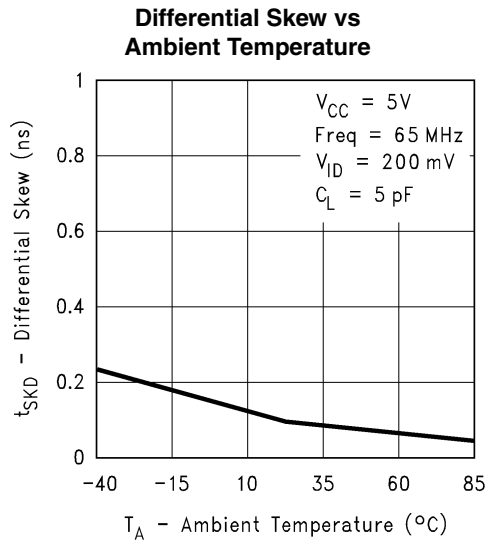
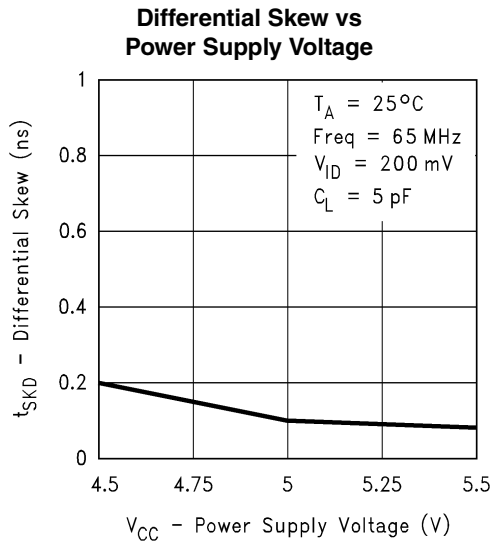
**Output Low Voltage vs Ambient Temperature**



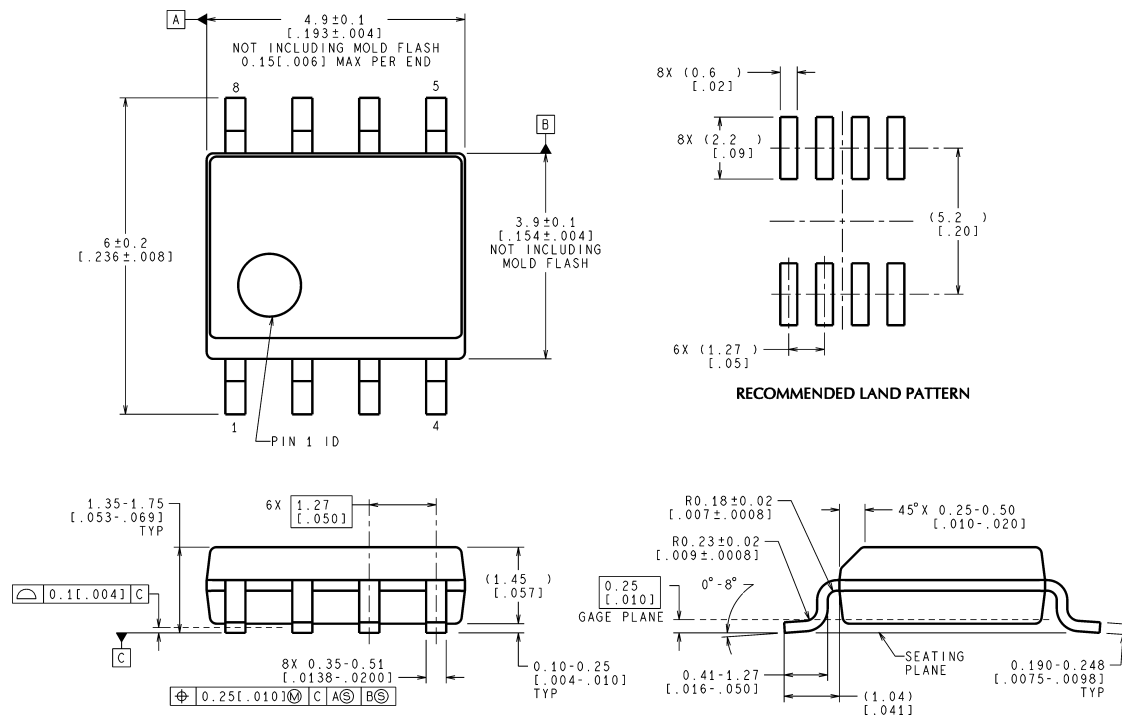
代表的な性能特性 (つづき)



代表的な性能特性 (つづき)



外形寸法図 単位は millimeters



CONTROLLING DIMENSION IS MILLIMETER  
VALUES IN [ ] ARE INCHES  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

M08A (Rev K)

**8-Lead (0.150" Wide) Molded Small Outline Package, JEDEC  
Order Number DS90C402M  
NS Package Number M08A**

ナショナルは記述したいかなる回路についても、その使用に関して責任を負うものではありません。特許の使用許諾を与えることを意味するものではありません。ナショナルは当該回路および仕様を任意の時点で予告なく変更する権利を有します。製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**生命維持装置への使用について**

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

**禁止物質不使用に関する適合**

ナショナル セミコンダクターの製品および梱包材料は、CSP-9-111C2規格 (Customer Products Stewardship Specification)、CSP-9-111S2規格 (Banned Substances and Materials of Interest Specification) の規約に準拠しており、CSP-9-111S2 に定義された禁止物質を使用しておりません。鉛フリー製品は RoHS 指令に対応しております。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。