

DS10CP152

1.5Gbps 2 × 2 LVDS クロスポイント・スイッチ

概要

DS10CP152 は、高損失の FR-4 プリント基板のバックプレーンや平衡ケーブルによる高速での信号のルーティングおよびスイッチングに最適な 1.5Gbps の 2 × 2 LVDS クロスポイント・スイッチです。完全な差動信号経路は非常に優れた信号品質と高いノイズ耐性を発揮します。ノン・ブロッキング・アーキテクチャ方式により、任意の入力ビットから任意の出力ビット（単出力または複数の出力）への接続が可能です。

入力コモンモードの範囲が広いいため、スイッチとして LVDS、CML、LVPECL レベルの信号を受信できます。出力レベルは LVDS 規格に準拠しています。パッケージが非常に小型のため基板上的実装面積が非常に小さく、ピン配列はフロップスレー設計で、基板のレイアウトが容易です。差動入力ピンと差動出力ピンはそれぞれ内部で 100 Ω の抵抗により終端してあるため、デバイスのリターン・ロスが小さく、部品数が少なく、基板の所要面積がさらに小さくなります。

特長

DC ~ 1.5Gbps まで、低ジッタ、低スキュー、低消費電力
ピン設定可能、完全差動回路、ノン・ブロッキング・アーキテクチャ方式

入力コモンモードの電圧範囲が広いいため、LVDS、CML、および LVPECL ドライバとの DC 結合が可能

入力と出力は内蔵の 100 Ω 抵抗により終端してあるため、挿入損失およびリターン・ロスの最小化と、部品数および基板上の専有面積の低減を実現

LVDS I/O ピンの ESD 耐圧は 7kV で、隣接する部品を保護
小型の SOIC-16 による省スペースのパッケージ

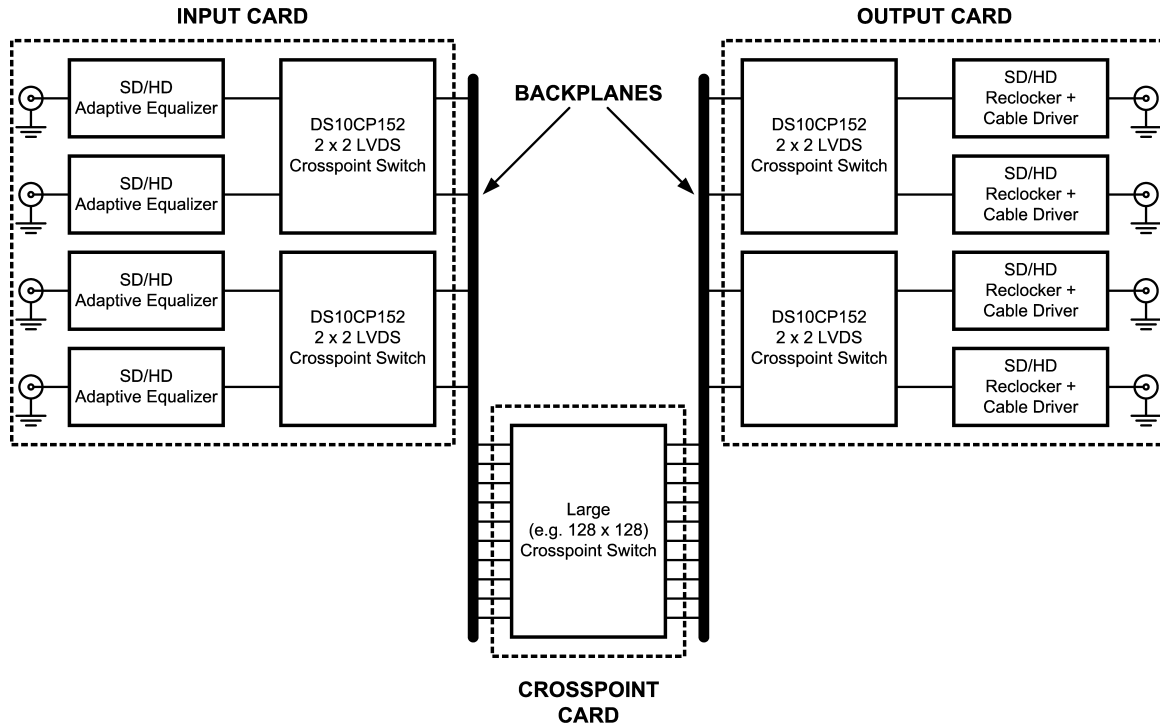
アプリケーション

高速チャネルの選択

クロックとデータのバッファリングおよびマルチプレクシング

SD/HD SDI ルータ

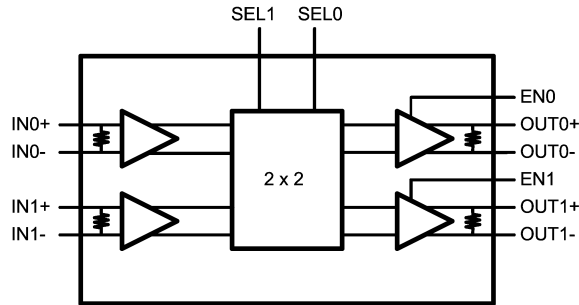
代表的なアプリケーション



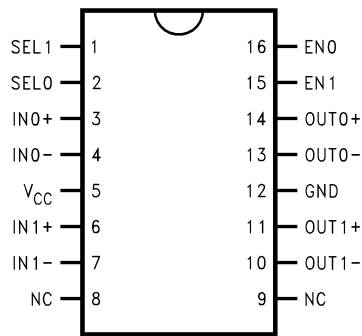
注文用コード

NSID	機能
DS10CP152TMA	2 × 2 クロスポイント・スイッチ

ブロック図



ピン配置図



DS10CP152 Pin Diagram

ピン説明

ピン名称	ピン番号	I/O、タイプ	機能
IN0 +、IN0 -、 IN1 +、IN1 -	3, 4, 6, 7	I、LVDS	反転および非反転高速 LVDS 入力ピン
OUT0 +、OUT0 -、 OUT1 +、OUT1 -	14, 13, 11, 10	O、LVDS	反転および非反転高速 LVDS 出力ピン
SEL1、SEL0	1, 2	I、LVCMOS	スイッチ設定ピン
EN0、EN1	16, 15	I、LVCMOS	出力イネーブル・ピン
NC	8, 9	NC	未接続ピン
VDD	5	電源	電源ピン
GND	12	電源	グラウンド・ピン

絶対最大定格 (Note 4)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧	- 0.3V ~ + 4V	パッケージ熱抵抗				
LVC MOS 入力電圧	- 0.3V ~ (V _{CC} + 0.3V)	JA	+ 72.7	/W		
LVDS 入力電圧	- 0.3V ~ + 4V	JC	+ 41.2	/W		
LVDS 差動入力電圧	0V ~ 1V	ESD 耐圧				
LVDS 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)	人体モデル (Note 1)	7kV			
LVDS 差動出力電圧	0V ~ 1V	マシン・モデル (Note 2)	250V			
LVDS 出力短絡電流継続許容時間	5ms	CDM (Note 3)	1,250V			
最大接合部温度	+ 150	Note 1:	人体モデル、適用規格 JESD22-A114C			
保存温度範囲	- 65 ~ + 150	Note 2:	マシン・モデル、適用規格 JESD22-A115-A			
許容リード温度		Note 3:	電場誘起帯電試験モデル、適用規格 JESD22-C101-C			
ハンダ付け (4 秒)	+ 260	推奨動作条件				
最大パッケージ許容損失 (+ 25 時)						
M16A パッケージ	1.72W	最小値	代表値	最大値	単位	
M16A パッケージの デレーティング	13.75mW/ (+ 25 以上の時)	最大電源電圧 (V _{CC})	3.0	3.3	3.6	V
		レシーバ差動入力電圧 (V _{ID})	0		1	V
		動作温度範囲 (T _A)	- 40	+ 25	+ 85	

DC 電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 5、6、7)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVC MOS DC SPECIFICATIONS						
V _{IH}	High Level Input Voltage		2.0		V _{DD}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
I _{IH}	High Level Input Current	V _{IN} = 3.6V V _{CC} = 3.6V	40	175	250	μA
I _{IL}	Low Level Input Current	V _{IN} = GND V _{CC} = 3.6V		±1	±10	μA
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA, V _{CC} = 0V		-0.9	-1.5	V
LVDS INPUT DC SPECIFICATIONS						
V _{ID}	Input Differential Voltage		0		1	V
V _{TH}	Differential Input High Threshold	V _{CM} = +0.05V or V _{CC} -0.05V		0	+100	mV
V _{TL}	Differential Input Low Threshold		-100	0		mV
V _{CMR}	Common Mode Voltage Range	V _{ID} = 100 mV	0.05		V _{CC} - 0.05	V
I _{IN}	Input Current	V _{IN} = 3.6V or 0V V _{CC} = 3.6V or 0V		±1	±10	μA
C _{IN}	Input Capacitance	Any LVDS Input Pin to GND		1.7		pF
R _{IN}	Input Termination Resistor	Between IN+ and IN-		100		Ω

DC 電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 5、6、7)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVDS OUTPUT DC SPECIFICATIONS						
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	250	350	450	mV
ΔV_{OD}	Change in Magnitude of V_{OD} for Complimentary Output States		-35		35	mV
V_{OS}	Offset Voltage	$R_L = 100\Omega$	1.05	1.2	1.375	V
ΔV_{OS}	Change in Magnitude of V_{OS} for Complimentary Output States		-35		35	mV
I_{OS}	Output Short Circuit Current (Note 8)	OUT to GND		-23	-55	mA
		OUT to V_{CC}		8	55	mA
C_{OUT}	Output Capacitance	Any LVDS Output Pin to GND		1.2		pF
R_{OUT}	Output Termination Resistor	Between OUT+ and OUT-		100		Ω
SUPPLY CURRENT						
I_{CC}	Supply Current	EN0 = EN1 = H		58	70	mA
I_{CCZ}	Outputs Powered Down Supply Current	EN0 = EN1 = L		25	30	mA

Note 4: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 5: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 6: デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。 V_{OD} 、 V_{OD} 以外の電圧はすべてグラウンドを基準としています。

Note 7: 代表値は、 $V_{CC} = +3.3V$ 、 $T_A = +25$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 8: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象 (Note 9、10)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVDS OUTPUT AC SPECIFICATIONS						
t_{PLHD}	Differential Propagation Delay Low to High (Note 11)	$R_L = 100\Omega$		440	650	ps
t_{PHLD}	Differential Propagation Delay High to Low (Note 11)			400	650	ps
t_{SKD1}	Pulse Skew $ t_{PLHD} - t_{PHLD} $ (Notes 11, 12)			40	120	ps
t_{SKD2}	Channel to Channel Skew (Notes 11, 13)			25	60	ps
t_{SKD3}	Part to Part Skew (Notes 11, 14)			45	190	ps
t_{LHT}	Rise Time (Note 11)	$R_L = 100\Omega$		170	350	ps
t_{HLT}	Fall Time (Note 11)			170	350	ps
t_{ON}	Output Enable Time			5	20	μ s
t_{OFF}	Output Disable Time			3	12	ns
t_{SEL}	Select Time			3	12	ns

JITTER PERFORMANCE (Note 11)

t_{RJ1}	Random Jitter (RMS Value)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ)	135 MHz		0.5	1.2	ps
t_{RJ2}			311 MHz		0.5	1.2	ps
t_{RJ3}			503 MHz		0.5	1.2	ps
t_{RJ4}			750 MHz		0.5	1.2	ps
t_{DJ1}	Deterministic Jitter (Peak-to-Peak Value)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ Clock (RZ)	270 Mbps		9	38	ps
t_{DJ2}			622 Mbps		7	36	ps
t_{DJ3}			1.06 Gbps		7	34	ps
t_{DJ4}			1.5 Gbps		9	35	ps
t_{TJ1}	Total Jitter (Peak to Peak Value)	$V_{ID} = 350\text{ mV}$ $V_{CM} = 1.2\text{V}$ PRBS-23 (NRZ)	270 Mbps		0.01	0.03	UI_{P-P}
t_{TJ2}			622 Mbps		0.01	0.04	UI_{P-P}
t_{TJ3}			1.06 Gbps		0.01	0.05	UI_{P-P}
t_{TJ4}			1.5 Gbps		0.01	0.07	UI_{P-P}

Note 9: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 10: 代表値は、 $V_{CC} = +3.3\text{V}$ 、 $T_A = +25$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 11: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 12: t_{SKD1} 、 $|t_{PLHD} - t_{PHLD}|$ パルス・スキューは、同チャネルの立ち上がりエッジと立ち下がりエッジとの間の伝搬遅延時間の差の大きさを表しています。

Note 13: チャネル間スキュー t_{SKD2} は、ブロードキャスト・モードの全出力チャネルの間 (いずれか 1 つの入力から全出力へ) の伝搬遅延時間の差を表しています (t_{PLHD} または t_{PHLD})。

Note 14: デバイス間スキュー t_{SKD3} は、規定されている差動伝搬遅延時間の最小値と最大値の差として定義されています。本仕様は、双方のデバイスに同じ V_{CC} が供給されていて、動作温度範囲内で温度差が 5 以内の場合に適用されます。

Note 15: ヒストグラムを使用してクロック信号のエッジで、1,500 回分のヒストグラムの累積で測定。入力信号源に起因するジッタは幾何学的に減算されます。

Note 16: 1100000101 (K28.5 + キャラクタ) と 0011111010 (K28.5 - キャラクタ) のパターンの組み合わせで試験。入力信号源に起因するジッタは算術的に減算されます。

Note 17: ヒストグラムを使用してアイパターンで、3,500 回分のヒストグラムの累積で測定。入力信号源に起因するジッタは減算されます。

DC テスト回路

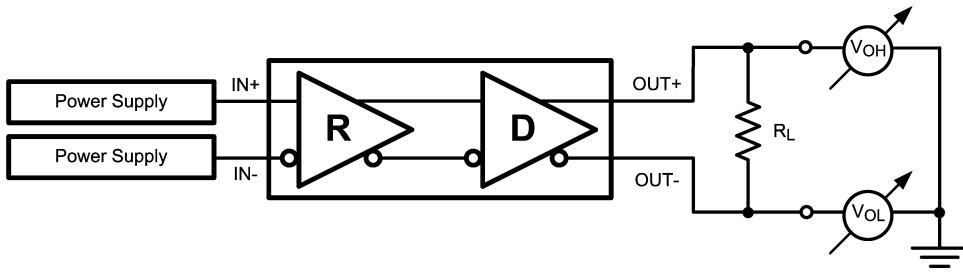


FIGURE 1. Differential Driver DC Test Circuit

AC テスト回路およびタイミング図

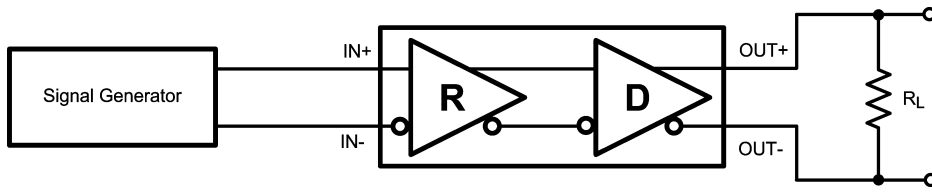


FIGURE 2. Differential Driver AC Test Circuit

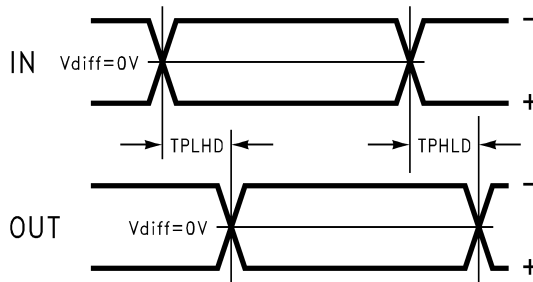


FIGURE 3. Propagation Delay Timing Diagram

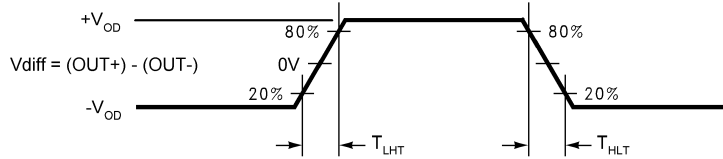


FIGURE 4. LVDS Output Transition Times

機能説明

DS10CP152 は、高損失の FR-4 プリント基板のバックプレーンや平衡ケーブルによる高速での信号ルーティングおよびスイッチングに最適な 1.5Gbps の 2 × 2 LVDS デジタル・クロスポイント・スイッチです。

TABLE 1. Switch Configuration Truth Table

SEL1	SEL0	OUT1	OUT0
0	0	IN0	IN0
0	1	IN0	IN1
1	0	IN1	IN0
1	1	IN1	IN1

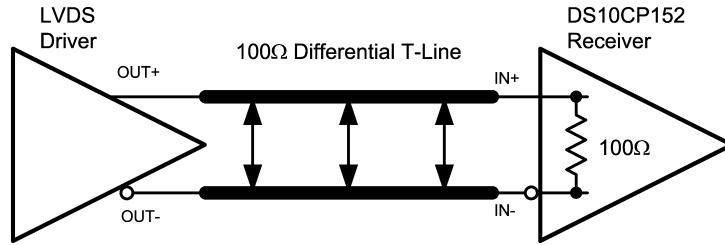
TABLE 2. 出力イネーブル真理値表

EN1	EN0	OUT1	OUT0
0	0	ディスエーブル	ディスエーブル
0	1	ディスエーブル	イネーブル
1	0	イネーブル	ディスエーブル
1	1	イネーブル	イネーブル

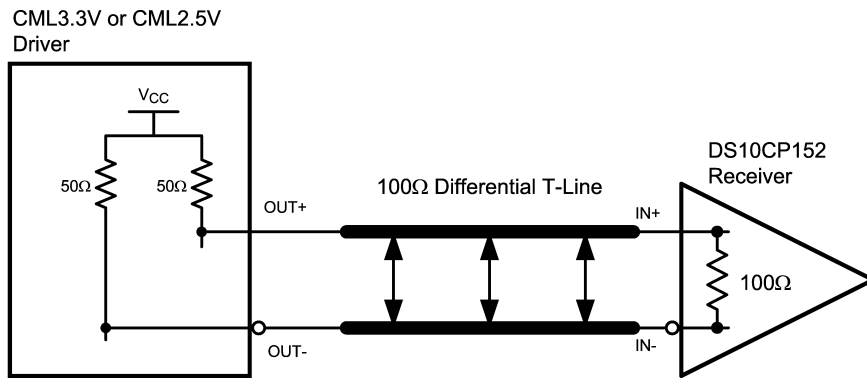
入力インタフェース

DS10CP152 は差動入力信号を使用でき、AC 結合または DC 結合が簡単です。DS10CP152 は入力コモンモードが広範囲であり、あらゆる一般的な差動ドライバ (LVPECL、LVDS、CML) と

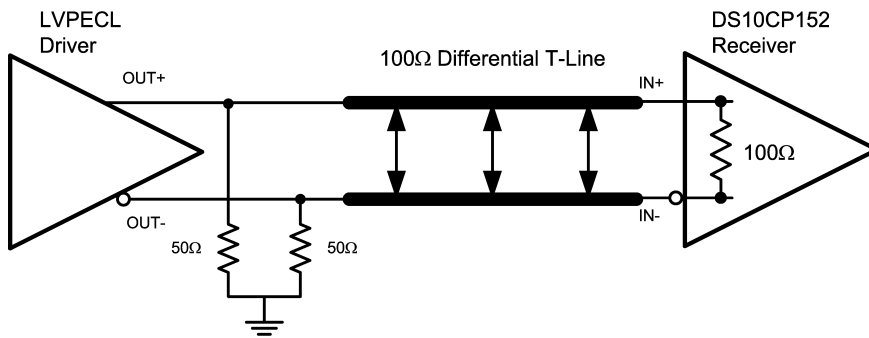
DC 結合できます。次の 3 つの図は一般的な差動ドライバとの DC 結合の代表例を示しています。DS10CP152 の入力は、100 Ω の抵抗により内部で終端されていることに注意してください。



Typical LVDS Driver DC-Coupled Interface to an DS10CP152 Input



Typical CML Driver DC-Coupled Interface to an DS10CP152 Input

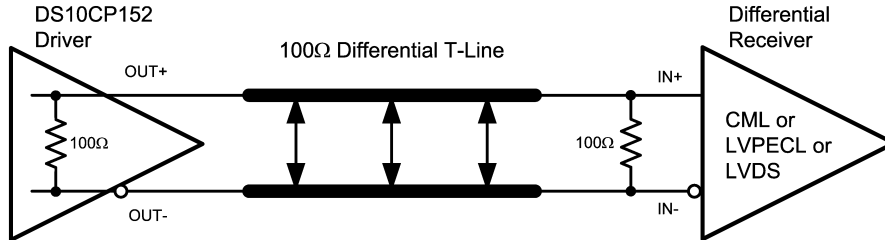


Typical LVPECL Driver DC-Coupled Interface to an DS10CP152 Input

出力インタフェース

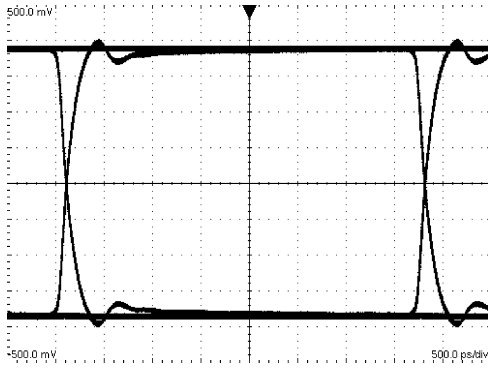
DS10CP152 は LVDS 規格に準拠した信号を出力します。この出力は一般的なほとんどの差動レシーバに DC 結合できます。次の図は、一般的な差動レシーバとの DC 結合の代表例を示しています。ここではレシーバの入力インピーダンスが大きいと想定し

ています。ほとんどの差動ドライバのコモンモード入力範囲は LVDS 規格に準拠した入力信号に対応できるようになっていますが、推奨のインタフェースを導入する前に、個々のレシーバのデータシートをチェックするようにしてください。

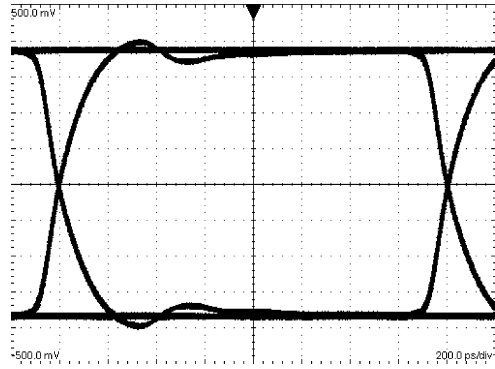


Typical DS10CP152 Output DC-Coupled Interface to an LVDS, CML or LVPECL Receiver

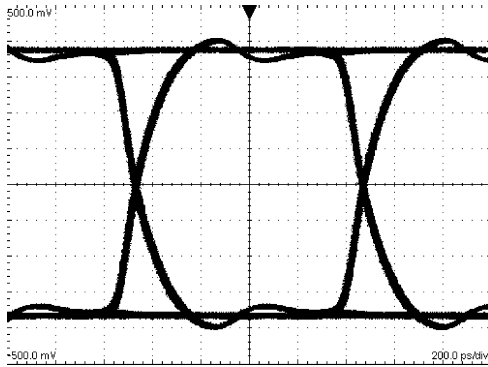
代表的な性能特性



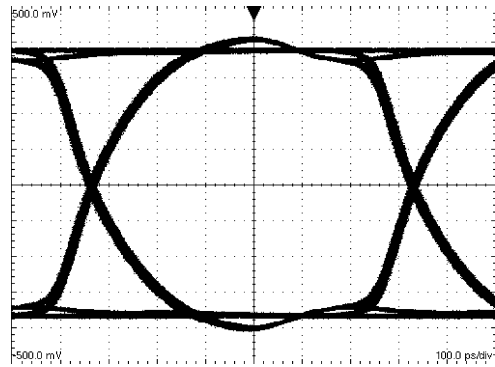
A 270 Mbps NRZ PRBS-7 After 2"
Differential FR-4 Stripline
V:100 mV / DIV, H:500 ps / DIV



A 622 Mbps NRZ PRBS-7 After 2"
Differential FR-4 Stripline
V:100 mV / DIV, H:200 ps / DIV

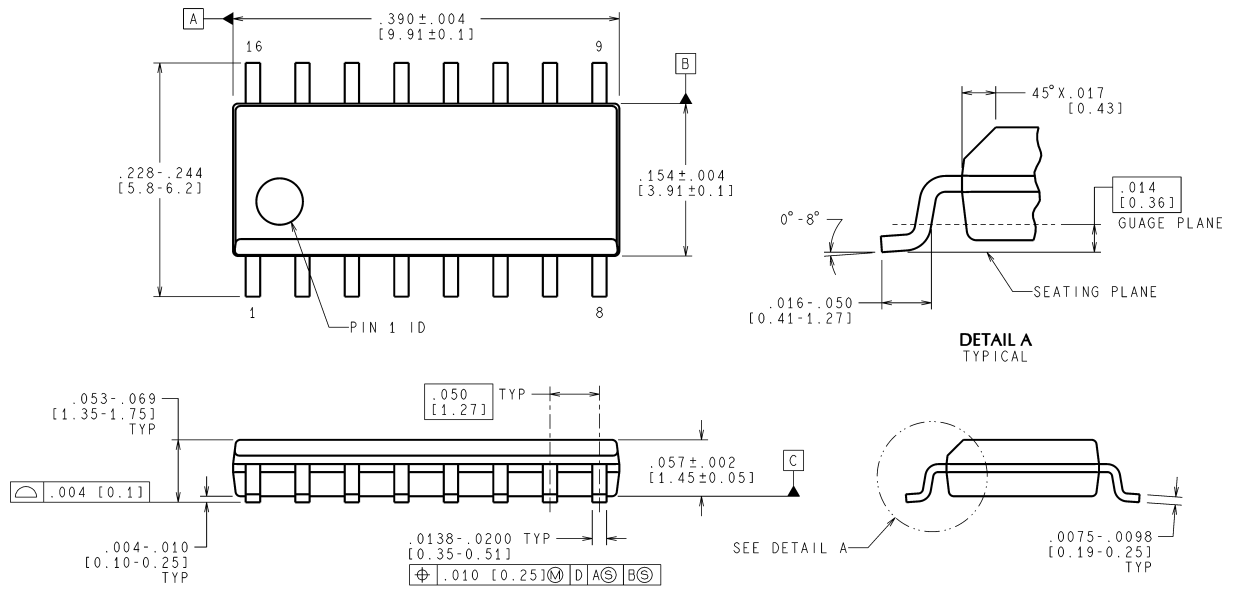


A 1.06 Gbps NRZ PRBS-7 After 2"
Differential FR-4 Stripline
V:100 mV / DIV, H:200 ps / DIV



A 1.5 Gbps NRZ PRBS-7 After 2"
Differential FR-4 Stripline
V:100 mV / DIV, H:100 ps / DIV

外形寸法図 単位は millimeters



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS

M16A (Rev J)

Order Number DS10CP152TMA
NS Package Number M16A

このドキュメントの内容はナショナル セミコンダクター社 (以下ナショナル) 製品の関連情報として提供されます。ナショナルは、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナルがナショナルの製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルは製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナルの部品を使用した製品および製品適用の責任は購入者にあります。ナショナルの製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルとの取引条件で規定される場合を除き、ナショナルは一切の義務を負わないものとし、また、ナショナルの製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナルの製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。ここで、

生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター社の商標または登録商標です。一部のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/