

SIMPLE SWITCHER® PCB レイアウト・ガイドライン

National Semiconductor
Application Note 1229
Sanjaya Maniktala
2002 年 7 月



はじめに

プリント基板レイアウトに関するアプリケーション・ノートを執筆するたびに、回路設計者の多くはレイアウト設計には直接携わっていないことに悩みます。電磁界、EMC、EMI、基板寄生成分、伝送線路効果、グラウンド設計などに苦心している設計者も、おそらく回路設計に忙しくて、レイアウト作業は CAD/レイアウト担当者にまかせているでしょう。しかし、スイッチング・レギュレータの設計では、基本的なルーティング / 接続と機械的な問題を検討するだけでは不十分です。スイッチング電源コンバータの設計ではレイアウト設計が回路設計と同じだけ重要であることを、回路設計者と CAD 担当者ともに認識してください。スイッチャ・アプリケーションに関して多くのお客様からの問い合わせが最終的に貧弱なレイアウト設計を原因としているのは、このような状況が説明しているのかも知れません。回路設計者と CAD 担当者の双方の時間と費用を削減するためにも、こうしたレイアウトに起因する問題は試作回路基板を用いた初期段階で排除しておくべきであり、また残念なことですが排除可能だったはずなのです。

PCB 設計に関するテーマは、種々の試験 / メカニカル / 製造問題や、場合によっては規格準拠 / 規制の問題もあり、きわめて広範囲に及びます。また、より明確な裏付けを求めるのであれば、ある程度の物理学 / 電磁気学の知識も必要です。しかし、本アプリケーション・ノートの目的は、最も活用を必要とする設計者に情報を届けることにあります。本アプリケーション・ノートには経験

を積んだ設計者 / CAD 担当者にも有用となる多くの情報が載っていますが、それゆえ、主要な問題を回避するためには忠実に守らなければならない明確で完結な設計早見ルールの提示を主眼としています。特に、広く使用されている LM267x、LM259x、LM257x の各ファミリの設計に対して、出発点となる推奨レイアウトを示しています (Figure 2)。なお、本稿ではナショナルのステップダウン (降圧型) SIMPLE SWITCHER IC に焦点を合わせていますが、そのほかのトポロジーやスイッチング電源アプリケーションでも考え方は同じです。

本稿は、単純に回路が持っている電気的な基本性能を引き出すことを論点の中軸としています。幸いにも、悩めるスイッチャ設計者が理解を深めたいと思うようになれば、通常、あらゆる電気的な諸問題に相互に関連が生まれ、同じ「方向」を示すようになるでしょう。たとえば「理想的」なレイアウト、すなわち IC の機能を適切に発揮させるようなレイアウトは電磁放射が少なく、同じことが逆の場合にも言えます。また、スイッチング電流のループ面積の縮小は EMI 低減や性能向上にも寄与します。ただし、このような一般的「傾向」にも例外があることに注意しなければなりません。このノートの後半で寄生インダクタンスの低減と IC のノイズに起因する諸問題の解決に効果があると考えられる「銅箔パターン面積の拡大」を取り上げますが、EMI を悪化させる場合もあります。

SIMPLE SWITCHER プリント基板レイアウトの早見ルール (降圧型)

- キャッチ・ダイオードと入力コンデンサを Figure 2 のように配置する。
- 高速デバイス (たとえば LM267x) には、入力デカップリング / バイパス・セラミック・コンデンサ (0.1 μ F ~ 0.47 μ F) を Figure 2 のように省略せずに実装する。
- グラウンド層がある場合はビアで接続する (オプション、Figure 2 の "X")。
- SMT 電源デバイスのタブ下に配置したビアはサーマル・ビアとして考える。量産時の問題を避けるために本文で説明のとおり正しいビア寸法を採用する。または、ビアをタブ下ではなくデバイス近傍に配置する。
- 帰還トレースは本文で説明のとおり正しくルーティングし、インダクタやダイオードなどのノイズ源から離す。
- スイッチング・ノード部の銅箔パターン面積を理由もなく大きくしない。
- キャッチ・ダイオードに大きなヒートシンク面積が必要な場合 (ヒートシンク要件の見積りが正しいとして)、本文で説明のとおり絶縁する。
- 高電力 SMT アプリケーションには、放熱に優れる 2 オンス基板を採用しパターン面積を小さくする。

SIMPLE SWITCHER® はナショナル セミコンダクター社の登録商標です。

はじめに(つづき)

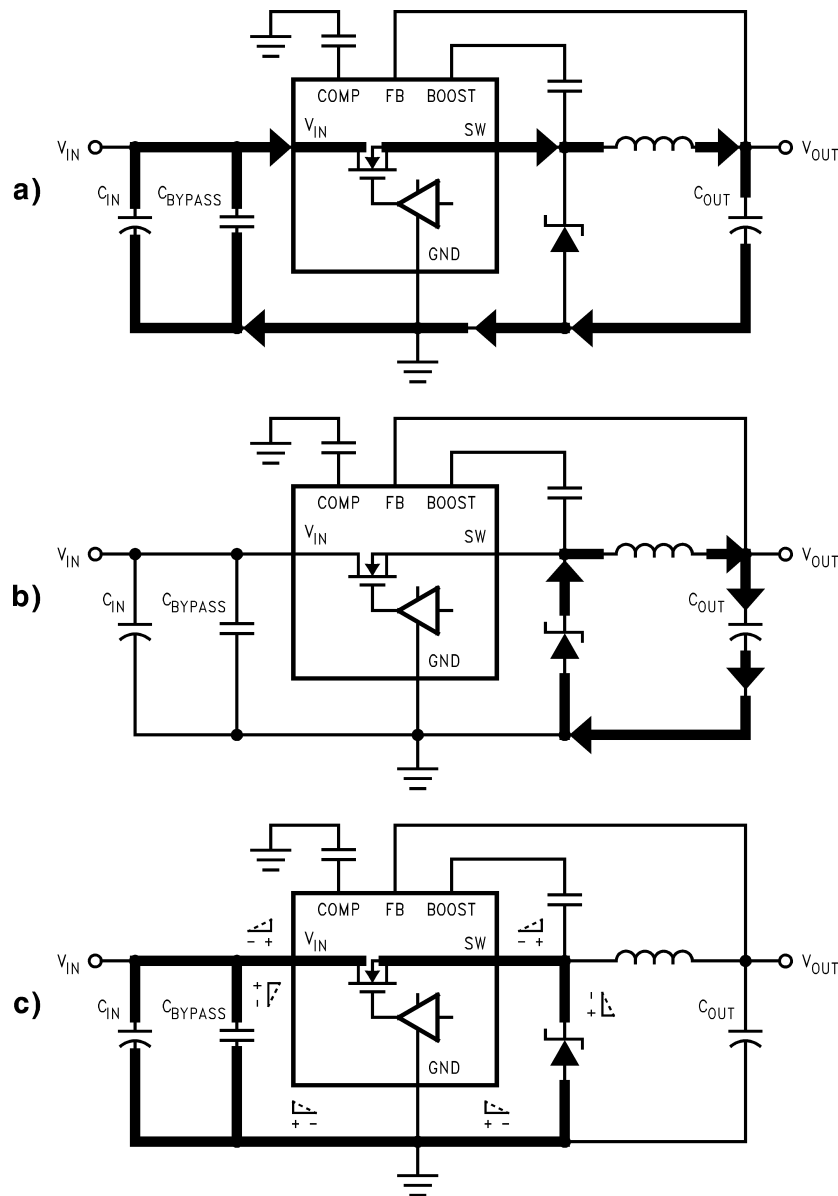


FIGURE 1.

ACとDCの電流パス

Figure 1aで、太線はスイッチがオンの間にコンバータを流れるメインの電流（電力）フローを表わしています。スイッチがターンオンした瞬間、電流波形のエッジ部分の大半はCBYPASSから与えられ、残りは主にCINから供給されます。緩やかな変化の電流成分は入力電源（図示せず）から与えられ、合わせてこれら入力コンデンサを充電します。Figure 1bはスイッチをオフにしたときの状況です。Figure 1aとFigure 1bを見比べると、電流は一部のトレース（基板上の配線）セクションではスイッチがターンオフ直後から突然流れ始め、別のセクションでは同様に突然停止することがわかります。Figure 1cは両者の「差分」、つまりこの図の太線は、電流が突然変化するトレースを表わしています。

ターンオン遷移では図は1bから1aの順になりますが「差分」となるトレース・セクションは同じです。そのためそれぞれのスイッチ

遷移で、電流の「ステップ上の変化」がこの差分セクションに発生します。このトレースには、高調波を豊富に含んだ、電流台形波形の立ち上がりまたは立ち下がりエッジが現れます。差分トレースは「クリティカル」とみなされPCBレイアウトで最大限の注意を払わなければなりません。用語的には、これら差分のトレース・セクションを流れる電流が「AC電流」で、その他の部分を流れる電流が「DC電流」と言えるでしょう。その理由は、基本スイッチング波形には、「AC」トレースの電流波形に含まれる縦高調波（フリエ成分）が大きいからです。比較として「DC電流」が流れる部分を見ると、電流はステップ状には変化しないため、わずかな高調波成分しか含みません。また、DCセクションにはメイン・インダクタが直列に接続されていますが、インダクタは電流の突然の変化を防ぐ性質を持っているのは周知であり、驚くことではありません（このようなインダクタの性質は、コンデンサが電圧の突然の変化に「抵抗」となる現象と似ています）。

ACとDCの電流パス(つづき)

まとめ：スイッチング・レギュレータのレイアウトで、クリティカルとして取り扱うのはACパスです。一方のDCパスはクリティカルではありません。以上が注意する基本ルールで、設計のすべての出発点となります。このルールは別のトポロジーも同じです。任意のトポロジーの場合、降圧型と同じ方法で電流フローを解析し「差分トレース」を探します。定義から、そのトレースをレイアウト上の「クリティカル」とみなします。

ステップ状の電流変化の問題は結局何でしょうか。例えば抵抗にステップ状の電流が流れても、予期しない正体不明の問題は発生しません。電圧は $V = IR$ によって与えられるので、電流の変化によって電圧も比例して変化します。たとえば、1.4mil (36 μ m) 厚で 0.5cm 幅の銅トレースは、長さ 1cm あたり 1m の抵抗を持っています (20 の場合)。1 インチ長のトレースに 1A の電流変化が起こってもトレース両端に発生する電圧はわずか 2.5mV のみですから、通常、IC の制御部に誤動作を招くほどではありません。しかし現実には、はるかに高い電圧が誘起されます。認識すべき重要な点は、PCB 上の銅箔トレースは、単なる抵抗性ではなく同時に誘導性でもあることです。ここで、よく使われる経験則に「トレースは、長さ 1 インチあたりおよそ 20nH のインダクタンス分を持っている」というものがあります。先ほどのトレース抵抗値と同じように、最初の印象ではそれほど大きな値とは感じられません。しかし、これは微小インダクタンスそのものであり、SIMPLE SWITCHER アプリケーションに関して多くのお客様が抱えるまさに問題の原因なのです。

インダクタンスの両端に発生する電圧の式は $V = L \cdot di/dt$ なので、電圧は電流の絶対値ではなく変化率に依存します。このことから、先ほど述べた 1A の変化がきわめて短い時間に起こると、結果はまったく違うものになります。di/dt が大きければ、たとえインダクタンス値や電流が小さくても、誘起される電圧はきわめて高くなります。Figure 1a から Figure 1b (および、その逆の場合) の遷移では、すべての AC トレース・セクション (Figure 1c の太線) に大きな di/dt 事象が発生します。対象となる各トレースには誘起された電圧スパイクが現れ、クロスオーバーの期間中持続します。

ここで、理解を深めるために具体的な数値を紹介します。代表的な降圧コンバータの AC セクションの電流変化の大きさは、スイッチがターンオフ遷移中は負荷電流のおよそ 1.2 倍になり、また、スイッチがターンオン遷移中は負荷電流のおよそ 0.8 倍になります (関連するデータシート/設計ソフトウェアに従ってインダクタンスを選択した、最適に設計された降圧コンバータの場合)。遷移時間は、LM267x のような高速 FET スイッチはおよそ 30ns、LM259x のような遅いバイポーラ・スイッチはおよそ 75ns です。さらに補足すると、レイアウトと負荷が同等条件であれば、高速ファミリで発生する電圧スパイクは低速ファミリの 2 倍以上になり得るときがあります。そのため、高速スイッチャではレイアウトが一層クリティカルとなります。

1 インチ長さのトレースに 1A の電流変化が遷移時間 30ns で発生した場合、発生する電圧は、先に述べた 2.5mV (抵抗成分のみが存在するとして計算した値) に対して 0.7V になります。長さ 2 インチのトレースで 3A の電流変化が起こると誘起される電圧は 4V にも達します。Figure 1c で、セクション部分に併記されている小さな三角形は、コンバータが Figure 1a の状態から Figure 1b (スイッチのターンオフ) に遷移したときに誘起される瞬間的な電圧の向きを示しています。IC のグラウンド・ピンを基準電位とみなすと、スイッチング・ノード (記号 "SW") には (直列のトレース・セクションがすべて加算されて) 負電圧が発生することがわかります。同様に入力ピン (記号 "VIN") には、直列のすべてのセクションが加わって正電圧が発生します。Figure 1c はターンオフ時を表わしています。ターンオン時に誘起される電圧の極性は単純に逆です。すなわち、VIN ピンは負になり、スイッチング・ノードは瞬間的に正に引き上げられます。

賢明な設計者ならば、このような現象は寄生インダクタンスであってもインダクタンスが存在する以上は予測でき、「リセット」が求められること、すなわちオン時間の volt-seconds はオフ時間の逆符号の volt-seconds と等しくなければならないことを認識するでしょう。また、設計者は、トレースの寄生インダクタンスがリセットされるまで、クロスオーバーの発生が「許可」されないことにも気が付くでしょう。たとえば、スイッチのターンオフ前に電流が流れているトレースは、電圧スパイクによる電流が消えるまで、電流を流すことに「固執」するはずで、同様に電流が流れ始めようとするトレースは、似たようにトレース両端の電圧スパイクによる電流が消えるまで、電流が流れることを「拒否」するはずで、スイッチング損失はクロスオーバー時間に比例するため、たとえ電圧スパイクが異常な挙動を引き起こさなくとも、スパイクによって効率は低下します。たとえば、トランスを使用したフライバック・レギュレータで一次巻き数のほうが二次巻き数より先はるかに多い場合、二次側のトレース・インダクタンスが引き起こす効率低下の大きさに設計者は驚くでしょう。その理由は、二次側の結合されていない (トレース/トランスの漏れ) インダクタンスは、スイッチに直列に接続されている等価な寄生インダクタンスとして一次側に反映されるからです。これは、スイッチから見える実効リターンに、二次インダクタンス値に巻き線比の二乗を乗じた値に等しい項を追加します (巻き線比は N_p/N_s)。そのため、フライバック・クランプ (ツェナー/RCD (抵抗、コンデンサ、ダイオード)) の損失は大幅に増加し、効率は低下します。以上のように、(トレースまたはトランスからの)「漏れインダクタンス」は「結合していない」とみなされても、実際にはその存在はトランスの一方から他方へと重大な影響を与えることがわかりました。つまり、まったく「結合していない」わけではないのです。実際、出力電圧が低い (巻き線比の大きい) フライバック・レギュレータは出力電圧が高い場合に比べて低い効率しか得られません。そのため、クリティカルなトレースのインダクタンスを低減するのは、効率、EMI、さらには基本機能の点で重要となります。

遷移の過程で発生する瞬間的な電圧スパイクをオシロスコープで補足するのは容易ではありません。しかし、「明らかな理由」もないのに IC がおかしい挙動を見せた場合は、電圧スパイクの存在が疑われます。十分に大きな振幅を持つスパイクが IC の制御セクションに伝搬すると、コントローラを我々がよく表現する「ひっくり返った」状態にしてしまいます。その結果は機能異常として現れたり、まれにデバイスの故障に至ります。最初からレイアウトが誤っていると、このようなスパイクに関連した問題を応急処置として簡単に対策できないので、「正しい」レイアウトから設計をスタートさせることが重要です。

設計者は、なぜステップ電流変化は寄生トレース・インダクタンスでは問題になっても、降圧コンバータのメイン・インダクタでは問題とはならないのだからかと疑問に思うかも知れません。言い換えればどのようなインダクタも突然の電流変化に抵抗しようとするはずで、しかし、メイン・インダクタは寄生トレース・インダクタンスに比べてはるかに大きなインダクタンス値 (およびエネルギー貯蔵源) を持っているため、結局は「支配的」になります。 $V \cdot dt = L \cdot di$ から、L が大きい場合、同じ大きさの電流変化を生むにはより大きな voltseconds ($V \cdot dt$) が要求されることがわかります。そのため、トレース・インダクタンスはメイン・インダクタに単純に「降参」します。しかし、彼らは戦わずして負けるわけではありません。電圧スパイクこそ、その証人なのです。

ACとDCの電流パス(つづき)

回路図の信号トレースには電流の大きさは図示されていないので注意してください。たとえば、コンポーネント・ノード(記号"COMP")またはブーストラップ(記号"BOOST")に接続されている信号トレースには相対的に小さな電流が流れるため、ICをひっくり返すことはあきません。すなわち、それらトレースはクリティカルではなく、どちらかといえば「あまり注意せずに」ルーティングして構いません。帰還トレースだけは例外で、詳細は後述します。ICのグラウンド・ピンはノイズの侵入口になる可能性があります。経験の少ない設計者には、特に降圧コンバータで、このピンの必要性を過小評価する傾向が見られます。降圧コンバータでは中心となる電力フローはグラウンド・ピンを通らないため、「グラウンド・ピンを流れる電流は小さい」と仮定してしまい、このピンの信号トレースをクリティカルとは考えないのです。確かにグラウンド・ピンを流れる平均電流はわずかですが、ピーク電流あるいは di/dt は小さくありません。Figure 1 に回路図として示されているスイッチ・ドライブを考えてみます。明らかにスイッチのドライブに電源電流を必要としています。スイッチとして動作する FET はすべて、ゲート容量の充放電のために、大きなピーク・ツー・ピークを持つ瞬間的な電流スパイクを必要とします。これはスイッチを高速動作させるためには不可欠で、スイッチ内部のスイッチング / クロスオーバー損失を低減し、コンバータ全体の効率を改善します。(実際には、本物の IC では電流の「スパイク」はブーストラップ・コンデンサから与えられ、その後ブーストラップ・コンデンサは IC の内部回路によって速やかに充電されますが、そのときの充電電流がグラウンド・ピンを流れます)。さらに、あらゆる高速デジタル IC では、クロック、ゲート、コンバータなどの内部回路は高速にターンオンまたはターンオフするため、結果として大きさは小さいものの瞬間的な電流変化がグラウンド・ピンに現れます。このような電流変化はコントローラをひっくり返すこともある「グラウンド・バウンス」の原因となります。そのため、グラウンド・ピンへのトレース長も同様に可能な限り短くしなければなりません。これは同時に、降圧 IC であっても、入力コンデンサ、特にバイパス・コンデンサ "CBYPASS" は IC に可能な限り近く配置しなければならないことを意味します。

部品を「できるだけ近く」に配置する

実装上の注意として「部品 X を可能な限り IC の近くに配置する」というガイドラインをよく目にします。それが「部品 Y はもっと近くに配置する」、「部品 Z はさらにもっと近くに...」と続いた場合はどうすればいいのでしょうか。複数の物体を同時に同じ場所に存在させることは物理的に不可能です。どの部品を優先させるべきでしょうか。スイッチャのレイアウトには、100 万ドルの賞金が賭けられたクイズに答えるような苦しい悩みが伴います。

トレース長が問題となる箇所は Figure 1c に示したとおりです。これらのトレースを短くするには、2 つの部品を IC のできるだけ近くに配置しなければならないのは明らかです。2 つの部品とは入力バイパス・コンデンサとキャッチ・ダイオードです。まず、入力コンデンサ・セクションを取り上げます。

回路図には 2 個の入力コンデンサが示されています。それぞれ "CIN" と "CBYPASS" です。両者の目的は入力ピンの電圧変動の低減です。入力変動は主に降圧ポロジで要求されるパルス状の電流波形を要因とします。なお、このポロジでは(インダクタが直列に挿入されているため)出力コンデンサ電流は滑らかです。昇圧ポロジの場合は逆で、入力コンデンサ電流は滑らかですが、出力コンデンサに流れ込む電流はパルス状になります。このため、昇圧型の入力デカップリングに対する要件は、降圧型(または昇降圧型)ほど厳しくはありません。昇降圧型またはフライバック型では入力電流と出力電流の両方がパルス状になり、入力デカップリング・コンデンサは、IC の制御回路 / ドライバ

用としてだけでなく、電力段の入力電流ステップ波形に対しても必要です。チューク(CUK)トポロジは、このトポロジを扱っている設計者であれば理解しているように、入力電流と出力電流はともに滑らかです。チューク・コンバータは「理想的な DC/DC」コンバータと呼ばれる場合もあり、前述のような AC トレース・セクションが存在しないため、寄生インダクタンスの影響は期待されるように大幅に排除されます。

ここで、仮に降圧コンバータへの入力電力が離れた電圧源から長いリード線を経由して供給されたとなると、接続に使用されているリード線のインダクタンスによって電流がパルス状に高速に変化することが妨げられてしまいます。このような理由から電圧源はコンバータに隣接して基板上への搭載が求められ、入力コンデンサがその役割を担います。入力コンデンサはパルス状の電流を電源段に供給し、続いて離れた電圧源から供給される応答の緩やかな DC 電流で充電されます。

しかし、入力コンデンサは比較的サイズが大きいため、IC の近くに希望どおりに配置できない可能性があります。特に、LM267x シリーズのような高速スイッチャの場合で問題となります。「高速」スイッチャとは、ここで定義したとおり、きわめて小さなクロスオーバー / 遷移時間を持つスイッチャを指し、必ずしもスイッチング周波数が高いことを意味しません)。また、メインの入力コンデンサの等価直列抵抗("ESR")と等価直列インダクタンス("ESL")はともに大きいと考えられ、VIN ピンに大きな入力電圧リップルを生む原因となり得ます。

Figure 1 に示される降圧コンバータ回路で入力ピンは、FET スwitch のドレインに接続されているだけではなく、IC の制御セクションにレギュレーションの充分でない内部電源レールを供給する働きも持っています。コンデンサには大きさや ESR の問題はあっても、印加された入力電圧の高速な変動を吸収できる直列レギュレータは現実には存在しません。一部、ノイズが制御セクションに侵入する機会があり、その影響はノイズに対する IC の感受性に依存します(回路、内部レイアウト、プロセス / ロジック・ファミリーに関係)。そのため、高周波の観点から、VIN ピンの電圧を相当程度クリーンに保つよう努めることが最も適切です。なお、ここでは回路の特質としてスイッチング周波数(100kHz ~ 260kHz)に発生する入力電圧リップルについて述べているわけではないので、入力コンデンサ容量を考えもなく大きくすればいいという解釈を示唆するものではありません。ここで課題は遷移の瞬間に発生するノイズであり、ノイズ・スペクトルはスイッチの遷移 / クロスオーバー時間で決まり 10MHz ~ 30MHz がピークとなります。クロスオーバー時間は基本 PWM スwitchング周波数とは無関係ですが、バイポーラか FET など、使用するスイッチのタイプに依存します。

以上から、Figure 1 に "CBYPASS" として示される高周波「バイパス」コンデンサ、つまり「デカップリング」コンデンサは、小型タイプが面実装品を使って、IC の VIN と GND ピンに可能な限り近く配置してください。バイパス・コンデンサには、通常、0.1 μF ~ 0.47 μF (モノリシック) 多層セラミック・コンデンサを使用します(通常、X7R タイプの 1206 サイズか、同じサイズでありながら端子を長辺方向に割り当てた最新の 0612 サイズを使用します。小型セラミック・コンデンサは一般的に大きな ESR/ESL を持つため使用前に確認が必要です)。バイパス・コンデンサはパルス状の電流の大部分を供給するため、その分 "CIN" と書かれたバルク・コンデンサは 1 インチ程度であれば多少離して配置しても問題にはなりません。負荷が軽く、しかも入力バルク・コンデンサを IC のすぐ近くに配置できるのであれば、高周波バイパス・コンデンサは場合によっては省略可能です。ただし、LM267x のような高速スイッチャの場合は、どのようなアプリケーションでも入力セラミック・バイパス・コンデンサは必須と考えられます。

部品を「できるだけ近く」に配置する(つづき)

キャッチ・ダイオードの実装位置もクリティカルです。この部品も入力コンデンサと同じように IC のできるだけ近くに配置しなければなりません。ところで、どのトポロジーも「スイッチング・ノード」と呼ばれるノードを持っています。このノードはスイッチの「ホット」な末端、あるいは「スイング」端と言えます。集積スイッチャでは、このノードは制御セクションへのノイズの侵入口になります。条件を考慮しながら正確に設計した場合、このノードの単純な電圧振幅は問題にはなりません。問題は、基本の矩形電圧波形に、前に説明したトレース・インダクタンスによって誘起されるノイズ・スパイクを重ねることです。そのため、キャッチ・ダイオードは IC の近くに配置し、きわめて短くしかも幅広のトレースを使用して IC の SW ピンと GND ピンに直接接続しなければなりません。最初からキャッチ・ダイオードを正しく配置しなかった不適切なレイアウトの場合、小さな直列 RC スナバ・ネットワークを追加すればコンバータの「応急処置」が可能です。通常このスナバ・ネットワークは 10 ~ 100 の抵抗 (インダクタンス分の小さいものが望ましい) と 470pF ~ 2.2nF のセラミック・コンデンサで構成します。これより大きな容量のコンデンサを使用すると許容できない大きな損失 ($= 1/2 * C * V^2 * f$) が主として抵抗で発生し、また応急処置の効果も得られません。なお、この RC スナバは、IC のスイッチング・ピンと GND ピンにまたがるように、短いリード線 / トレースを使って IC のできるだけ近くに配置する必要があります。回路図上は差がないため、スナバの実装位置を「ダイオードをまたがって」と解釈する設計者もいます。しかし、特にダイオードがショットキの場合、スナバ・ネットワークの主な目的はトレース・インダクタ

ンスで生じた電圧スパイクの吸収です。そのため、Figure 1c に示される出力側 (スイッチャの右側) のクリティカル・トレース、つまり AC トレース・セクションのバイパスに効果があるように実装位置を決めなければなりません。すなわち、IC の近くでなければならないことを意味します。もちろん、このような外付け部品の追加に頼るのではなく、前述のとおり適切なレイアウトから設計をスタートすべきです。

入力バイパス・コンデンサとキャッチ・ダイオードを IC 近くの適切な位置に配置したあとで、他の部品の実装位置を決めます。前述の 2 個の部品に対するトレースは短くかつ相対的に幅広でなければならず、また IC までにピアを経由させてはなりません。したがって SMT 基板では、入力コンデンサとキャッチ・ダイオードは IC と同じ面に実装するようになります。各種スイッチャの設計のスタート・ポイントとなる推奨 PCB レイアウトを Figure 2 に示します。これらのレイアウト例はすべて、2 個のクリティカルな部品の配置を優先しています。ほぼすべてのアプリケーションに、このレイアウト例の適用を強く推奨します。"X" マークはグラウンド層 (もしあれば) に接続するピアの推奨位置です。残りの部品は相対的にそれほど注意せずに配置して構いません (ただし、たとえば出力電圧レールとそのリップルの精度などに多少は影響があります。しかし、入力デカップリング・コンデンサとキャッチ・ダイオードを不適切に配置するほどの問題には至りません)。トレースのルーティングは次に説明します。

部品を「できるだけ近く」に配置する(つぎ)

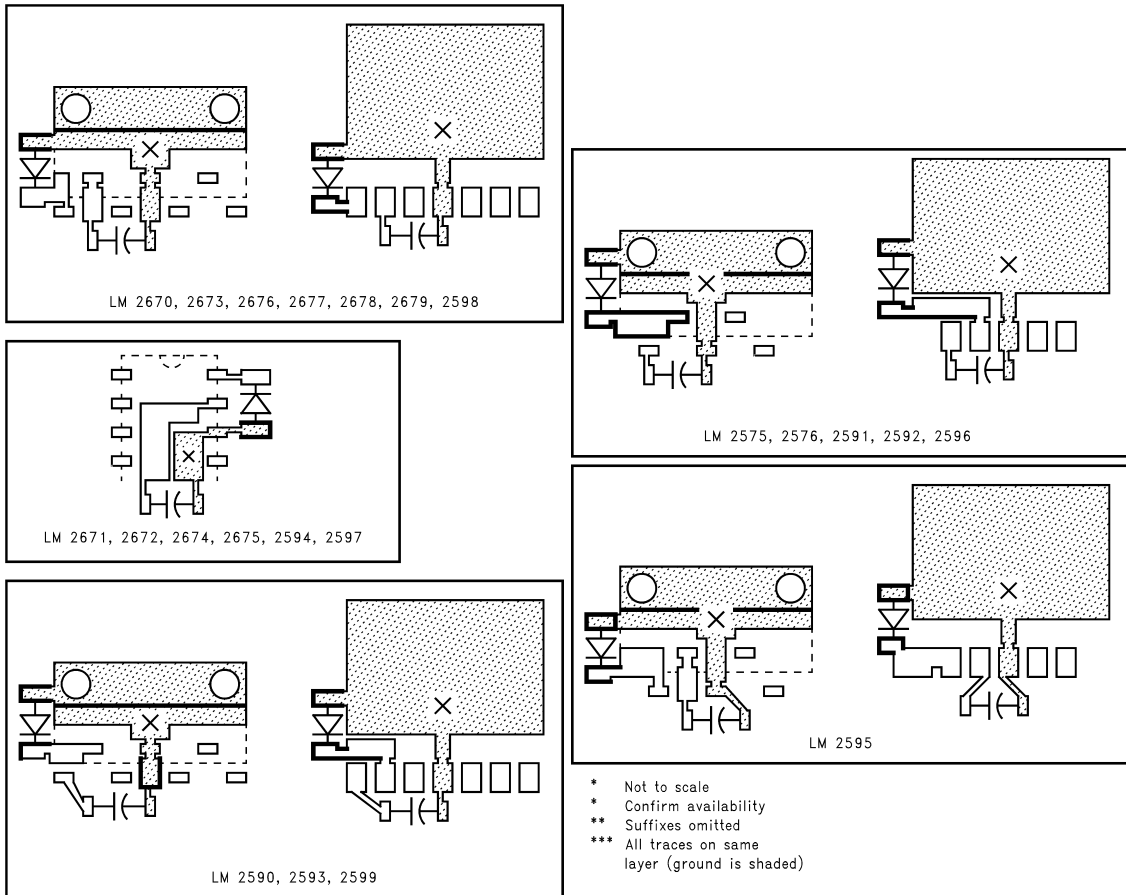


FIGURE 2. Recommended Layout Starting Points

トレースのルーティング

クリティカルなトレースをビアを介してルーティングするのは、前述のとおり賢明ではありません。ビアは「層間の乗り換え」目的で純粋なCADの観点からは便利ですが、ルーティング問題を解決する手段として安易に使用される傾向があります。ビアはインピーダンスを高めますが、これこそ回避しようと努めていることにほかなりません。ビアのインダクタンスは次の式で与えられます。

$$L = \frac{h}{5} \left(1 + \ln \frac{4h}{d} \right) nH$$

"h" はビアの高さで単位は mm (基板厚みと等しく、通常は 1.6mm)、"d" は直径で単位は mm です。この式から、標準の 1.6mm 厚の基板に設けられた直径 0.4mm のビアは、1個が 1.2nH のインダクタンスを持つのがわかります。この値だけを見ると大きいとは思えませんが、同じ長さを持つケーブルに比べるとほぼ 2 倍です。高速の LM267x シリーズでビアを介してバイパス・コンデンサを IC に接続すると、動作中に問題が発生することが経験的に知られています。もし何らかの理由でビアを使用せざるを得ない場合は、ビアを単一で使用するのではなく、複数

のビアを並列に設けて影響を軽減してください。また、ビアの直径を大きくするとさらに影響の軽減が図れます (後述の「サーマル・ビア」として使用する場合を除く)。

「トレースは " 広く " かつ " 短く " しなければならない」と言われます。トレース長を短くしなければならない理由は、多くのエンジニアが直感的に理解します。実際、「インチあたり 20nH」という経験則からも、トレース・インダクタンスは長さにはほぼ比例するのがわかります。一方、「直感」で陥りがちな誤りは、インダクタンスはトレース幅に反比例するものです。そのため、一部のエンジニアは気前よくクリティカル・トレースに「銅を追加」してしまいがちですが、これは正しくありません (ただし、このような手法の採用には別の理由もあり、詳細は後述します)。長さ "l"、直径 "d" を持つケーブルのインダクタンスを近似値として求めると、

$$L = 2l \cdot \left(\ln \frac{4l}{d} - 0.75 \right) nH$$

l と d の単位は cm です。PCB トレースのインダクタンスの式は、ケーブルを対象としたインダクタンスの式と大きな違いはなく、次のようになります。

トレースのルーティング (つづき)

$$L = 2l \cdot \left(\ln \frac{2l}{w} - 0.5 + 0.2235 \frac{w}{l} \right) \text{ nH}$$

"w" はトレース幅です。PCBトレースでは、L は銅箔厚み (1 オンスまたは 2 オンス基板) にはほとんど依存しません。両方の式をプロットしたグラフを Figure 3 に示します。長さが与えられたとき、トレース幅 "x" を持つ PCB 上のトレースのインダクタンスは、直径 "x" を持つケーブルのインダクタンスより大きくなります。実際、PCB 上のトレースのインダクタンスは、トレース幅とケーブルの直径が同じ場合、ケーブルのインダクタンスの 1.78 倍になります。

AWG 20 ケーブルの直径は 32mil (0.081cm) です。したがって、L が 1 インチ (1000mil または 2.54cm) の場合のインダクタンスは 21nH となります (経験則から妥当)。L はほぼ長さに比例しているのがわかります。しかし、直径を 2 倍の 0.16cm にすると L は 17nH となり、元々の 21nH に比べてそれほど減りません。つまり非線形の関係があります。上記の関数をプロットした (破線が PCB 上のトレース) Figure 3 を見ると、ケーブル / トレースの直径 / 幅が約 10 倍になるとインダクタンスは半分になっています。つまり、L と d は対数の関係にあります。これは、導体の並行セクション / ストリップ間の相互インダクタンスの影響によるものです。

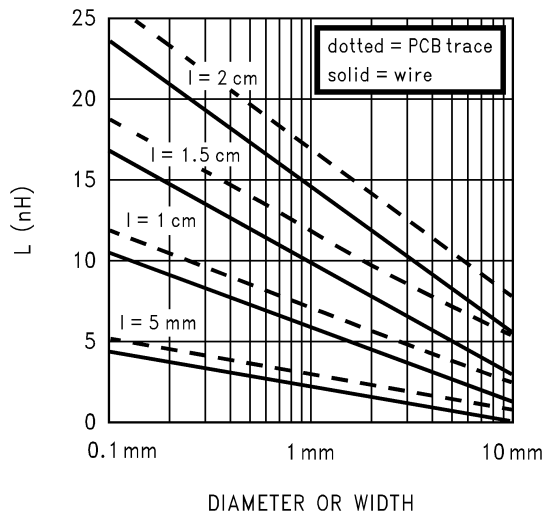


FIGURE 3. Inductance of Wire of Length 'l'

寄生インダクタンスの影響を抑えるためにトレースを「拡幅」するのは最後の手段です。まず先にトレース長を短くすべきです。一部のトレースは幅を広くすると、場合によっては逆効果となります。特に、スイッチ・ノードからダイオードへのトレースは、EMI の観点から「ホット」な部分です。AC (高周波) 電流を運ぶだけでなく電圧がスイッチ状の波形を持つためです。十分な寸法を持つあらゆる導体は、電流に関係なく、電圧が変化した場合にアンテナとして働きます。このようなアンテナからの放射は周囲に好ましくないコモンモード干渉を与えます。そのため、スイッチング・ノード周辺の銅箔パターン面積は小さくすべきであり、大きくしてはなりません。ステップ状に変化する電圧が印加された広い層もまた、付近のトレースに容量性ノイズ・カップリングを生じさせます。一般的な SMT 基板で反対側の面を「グラウンド層」として使用する

場合、スイッチング・ノードで発生したノイズが PCB の FR4 誘電体をとおしてグラウンド層にカップリングする可能性があります。「完璧」なグラウンド層は存在しないため、注入された高周波ノイズはグラウンド層からの放射の原因となるだけでなく、「グラウンド・バウンス」を介して IC にノイズを伝えてしまいます。一部の人は、スイッチング・ノードのパターンと正確に同じ大きさ / 形状の銅箔パターンを PCB の裏側に作成し、両者を複数のビアで接続する方法を提案しています。この方法は、他のトレースへの「容量性クロストーク」を防ぎ、あわせて放熱能力を高めると推測されます。しかし、この方法では明らかにグラウンド層が分割されてしまいます。分割されたグラウンド層に生まれる異常な電流パターンが悪い影響を与える可能性があり、グラウンド層の本来の効果が得られません。一般的に、グラウンド層はできるだけ広い範囲で連続 / 非分割を保たなければなりません。そうでないとスロット・アンテナのように振舞う可能性があります。以上から、スイッチング・ノードに対する最善の対策は、スイッチ・ノード周囲のパターンを必要最小限の面積に抑えることです。

ここで、電界は電荷によって生まれ、磁界は電流によって生まれるという物理の基本的な法則を思い出してください。また、電界が時間とともに変化すれば対応して磁界が生まれます。一方で磁界は電流に関係します。そのため、PCB の銅箔パターン上の AC 電圧 (電界を変化させる) は、FR4 誘電体をとおして反対の層に「変位電流」(容量性結合電流) を発生させます。また、磁界の変化は電界を生み出します。したがって、たとえばトランスの巻き線に AC 電流 (磁場を変化させる) を流すと、ファラデーの法則により起電力 (電界) が得られます。電圧または電流が変化すれば常に EMI を発生する電磁界が生まれます。そして、アンテナ構造は発生した EMI に意図せずに「力を貸して」しまうこととなります。そのため PCB レイアウトでは、「AC (スイッチ) 電流」を運ぶ各電流ループの面積を小さく抑えなければなりません。同様に、「AC (スイッチ状) 電圧」が流れる銅箔層の面積も小さく抑えなければなりません。両者ともにアンテナとして働く場合があるからです。さらにスイッチング電流 / 電圧を運ぶトレースは、クロス・カップリングを避けるために「静か」なトレースから遠ざけなければなりません。さらに「鋭角」なトレースは電磁界の強度を高めることが知られているので、単一の 90 曲げではなく、2 個の 45 曲げのルーティングが望まれます。

銅箔パターン面積の拡大：どこまでが妥当

惜しげもなくトレース幅を広くした場合、ときには目的どおりの効果が得られ、ときには意味がなく、ときには意図しない悪影響を回路に与えてしまうでしょう。単純で確実なルールはありません。思慮が求められるのです。まず始めになぜトレース幅を広くしようとするのか、そして実際にはどの程度の幅が必要なのか、それぞれを検討してみることが有益です。ほとんどの場合、「本能的な直感」で得られる予想に比べて、実際の要件はそれほど幅広のトレースを求めてはいません。

それぞれ個別に検討してみます。

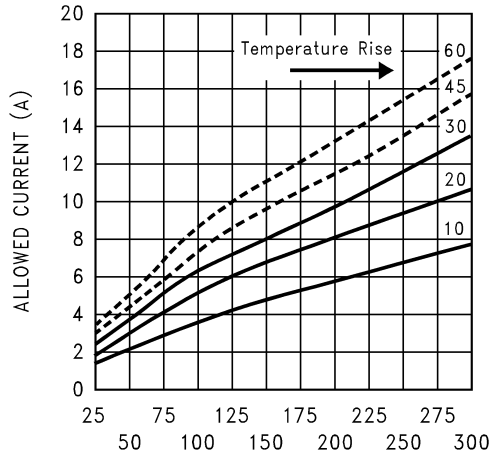
A) 電流耐量

トレース幅に銅箔厚を掛けると導体の「断面積」が得られます。断面積から導体の (単位長さあたりの) 抵抗値が決まり、結果として自己発熱が決まります。自己発熱から温度上昇が推定できます。つまり、「電流耐量」は一部の人が考えているような「確固として地中に根ざした柱」ではなく、許容可能な温度上昇との関係で考えることが重要です。

銅箔パターン面積の拡大：どこまでが妥当(つぎ)

MIL スタンダードは 20 までの上昇を抑えるよう要求していますが、30 ~ 40 の上昇も一般的です。Figure 4 は温度上昇の見積りに使用するグラフです。

Current Density Curve for Outer Layer PCB Copper Etch



CROSS SECTIONAL AREA (Width [mils] * Thickness [mils])

FIGURE 4. MIL-STD-275E Curves for Current Density vs. Temperature Rise

一般に使用されている PCB は、たとえば「1 オンス」または「2 オンス」と呼ばれます。これは、銅クラッド積層板上に形成されている銅箔を、単位をオンスとして平方フィートあたりの重さで表わした呼び方です。1 オンス基板の銅箔厚みは 1.4mil (35 μ m) に相当します。2 オンスはその倍の厚みです。なお、このアプリケーション・ノートでは外層（内層ではなく）のみを対象としているので、層数は最大でも両面（2 層）です。

銅箔の厚みから必要なトレース幅を求めます。たとえば、1 オンス銅箔基板（銅箔厚み 1.4mil）で許容温度上昇が 20 の場合、4A の電流を流すにはトレースの幅は $75/1.4 = 54\text{mil}$ (1.4mm) が必要です。2 オンス基板ではその半分、すなわち 0.7mm 幅が必要です。

ただし両面基板は、（ハンダマスクの適用前に）ピア（PTH：メッキ・スルーホール）の形成で無電解銅メッキ処理工程を通るため、1 オンスの基板であっても、最終的には実効的に 1.4 オンスに近い銅箔厚みになると考えられます。そのため、レイアウト作業を開始する前に、この点について PCB メーカーに確認した方が賢明です。また片面基板も、「マスクされていない（ソルダー・レジストのない）」銅箔部分にスズ=鉛の層を形成するホットエア・ハンダ・レベルリング工程を通ります。これもトレースの実効的な厚みを増やしますが、スズ=鉛の比抵抗は銅に比べて 10 倍も大きいので、銅メッキ工程ほどには影響はありません。

抵抗を原因とする自己発熱を見積もるにはトレースを流れる平均電流を把握しておかなければなりません。降圧コンバータの入力セクション（Figure 1c の IC の左側）の AC トレースを流れる平均電流は $I_0 * D$ で、 I_0 は負荷電流、 D はデューティ・サイクルです。出力セクション（IC の右側）の AC トレースは平均電流 $I_0 * (1 - D)$ です。したがって、負荷電流が 3A、デューティ・サイクル ($\approx V_0/V_{in}$)

が 0.4 であれば、入力側の平均電流は 1.2A となります。出力側は 1.8A です。どちらの側も負荷電流の 3A には等しくないことに注意してください。つまり、このような計算に基づいてトレースの幅を正確に見積もらなければなりません。

上述で見積もった温度上昇は「自己発熱」を要因とするものです。しかしトレースは、単純に近くの部品の熱を受けるだけでなく、熱くなります。その場合、自己発熱による温度上昇が（周囲温度に対して）プラス 30 であっても許容できない可能性があります。また、「許容可能」な上昇値は、周囲温度のワーストケースや、基板積層材の定格温度（FR4 では 120 未満に維持）によっても変わります。

上述に厳密に従った経験則は単純に次のようになります。

温度上昇（30 未満）が中程度で、電流が 5A 未満の場合、

- 1 オンス基板ではアンペアあたり少なくとも 12mil 幅のトレースを使用
- 2 オンス基板ではアンペアあたり少なくとも 7mil 幅のトレースを使用

B) トレース・インダクタンス

トレース・インダクタンスを低減するには、トレース幅を広くするのはなく、トレース長を短くしたほうが望ましいことがわかりました。トレース幅を広くしても、ある点から以上はインダクタンスは大きくは減りません。使用する基板が 1 オンスか 2 オンスかにもあまり依存しません。トレースがソルダー・レジスト（あるいはエッチング・レジスト）されていない（ハンダ/銅の堆積により実効的な導電厚みが増える）かどうかにも依存しません。それでも何らかの理由によってトレース長を短くできない場合は、順方向電流トレースとリターン・トレースを並行にルーティングする方法でインダクタンスの低減を図ってください。

インダクタンスが存在すると磁気エネルギーが蓄積されます。逆に言えば、もし磁界を打ち消せばインダクタンスも消えます。2 本のトレースに大きさは同じで逆向きの電流を流せば、磁界は大幅に小さくなります。2 本のトレースは並行かつ近接していなければなりません。単層基板では同じ基板面に隣接させてルーティングします。両面 PCB の場合、2 本のトレースをそれぞれ違う基板面の対向の位置に配線すると最大の効果が得られます。この方法では相互結合を高め必要な磁界の打ち消しを得るために、トレース幅を若干広くしてもかまわないし、また広くすべきです。基板面の一方をグラウンド層にしている場合、順方向電流トレースの「写像」部分にリターン電流が自然に流れて磁界を打ち消し、インダクタンス分は減少されます。

設計者は、前に提示されていたインダクタンスとトレース長を表わす等式は、式を見る限りは並列によって改善が図れるようには思えなかったが、どうなるのだろうかと疑問に思うかも知れません。その答えは、単純なトレース・インダクタンス式はあくまで近似式ということです。ある一定方向に電流を永久に運ぶ有限長の単独ケーブルは存在しません。電流はリターンしなければなりませんし、ループを構成しないゆえに電流はリターンできません。電荷は無限には蓄積されずいつかはリターンしなければならないのは、物理の基本法則から明らかです。先ほどの場合は電磁界源の反対のノードが電流の流れを担っています。単一のケーブルのインダクタンスを論じる場合は、実はきわめて大きなループを想定しています。電流を運ぶループのインダクタンスはループによって閉じられている面積に比例し、ループを小さくすればインダクタンスも小さくなります。

銅箔パターン面積の拡大：どこまでが妥当(つぎ)

C) 熱マネージメント

自然対流の効率は周囲(大気)に接している表面積の大きさに依存します。ヒートシンクとして提供されている伝導プレートが、プレートの深い部分のくぼみまで完璧な熱伝導が保証されるほど十分な厚さを持っていれば、温度上昇は単純に総露出面積に反比例するでしょう。PCBの銅箔層もその意味で熱伝導性に寄与しますが、相違点は完全な熱伝導性を保証するほどには厚さが充分ではないことです。そのため、ある点以上からは見返りが少なくなります。すなわち、銅箔面積を大きくしても熱抵抗にわずかな改善しか得られません。1オンス基板の場合、おおよそ1インチ平方がこのポイントです。さらに、約3インチ平方まではある程度の改善は得られ、特に2オンス基板では良好な結果を見せますが、それを超えても放熱が不十分な場合は外付けヒートシンクが必要です。最終的に、熱抵抗(電源デバイスのケースから周囲へ)として得られる妥当な現実値は約30 /Wです。

ところで、熱は銅箔面からのみ逃げていくわけではありません。SMTアプリケーションに使用される一般的な積層板(基板の基材)はエポキシガラスの"FR4"(またはGFあるいはG-10として知られている)ですが、それなりに優れた熱伝導性を備えています。大量生産かつ低コストが要求されるアプリケーションにはCEM1、CEM2、CEM3などの安い基板材料が使用されますが、これらもFR4に比べてそれほど熱伝導性は悪くありません。デバイスが搭載されている側の基板面が発生した熱は、周囲に接している他の面にも伝わっていきます。そのため、基板の反対の面に銅箔パターン(電気的に同じである必要はなくグラウンド層でも可)を設けても放熱の一助にはなりますが、発熱面だけに銅箔パターンを設けた場合に比べて10~20%程度の改善しか得られません。熱を基板の反対の面に効率的に伝えて熱抵抗を50~70%程度も大幅に小さくするには「サーマル・ビア」を使用します。サーマル・ビアは、基板材料の熱をより広い面積が周囲の大気にさらされている他の面に「分流」します。

SIMPLE SWITCHER デバイスの電源パッケージのタブは都合よくグラウンド電位となっているため、タブの周囲に広い銅箔パターンを設けてもEMIを増やしたりしません。タブはフローティングのままでも構いませんが、Figure 2に示すように、使用するときはICのGNDピンに物理的に直接接続してください。両面基板を使用する場合、ICグラウンドのすぐ近くで、基板の反対側の面が「グラウンド層」となっている"X"の位置に、複数の小径ビアを設けてもよいでしょう。このビアは、電気的に適切なグラウンド実装の一助となるだけでなく、熱を拡散させる働きもあります。そのため、このようなビアを「サーマル・ビア」と呼びます。サーマル・ビアには、反対面への熱伝導を高めるためにメッキ工程でビア穴をメッキ充填できる小径ビア(内径0.3~0.33mm)を推奨します(フィルド・ビア)。穴の直径が大きすぎるとリフロー・ハンダ処理工程で「ハンダ・ウィッキング(吸い上げ)」問題が発生します。ある領域に複数のサーマル・ビアを配置する場合、その間隔(中心間の距離)は通常1mm~1.2mmとし、サーマル・ビアの並びをタブ直下に配置します。なお、サーマル・ビアはリフロー工程でその領域の熱を「盗む」ため、場合によってはハンダ付け性が弱くなり、人によってはビア(サーマル・ビアとその他のビア)は部品の近くには配置すべきですが、タブ/足/ピンの直下には置くべきではないという意見もあります。

スイッチング・ノードからはわずかな熱しか発生しないため、代表的なスイッチャICの内部構造の観点からは、ノード周囲のトレース幅を広くしなればならない理由はありません。前述のとおりこのノードはアンテナとして働くときがあり、放射問題の原因となります。しかし、状況によっては、スイッチング・ノード周囲に広い銅箔パターンを設けざるを得ない場合もあります。ほとんどの電源ダイオードのタブはカソードです。ダイオードの放熱では、タブを大きなヒートシンクが銅箔層に接続しなければなりません。ただし残念なことに、(正から正への昇圧型、または負から正への昇降圧型とは違い)従来型の正電圧から正電圧への降圧ポロジータブでは、ダイオードのカソード/タブは「静か」ではないスイッチング・ノードに対応します。そのため、熱の要件とEMIの要件の間で矛盾が生じてしまいます。EMIに敏感なアプリケーションでは、タブがアノードに接続された特殊なダイオードの採用も検討してください。または、外付けヒートシンクを使用する場合、(熱的にではなく)電気的に、電源デバイスと(グラウンド接続の)ヒートシンクとを絶縁してください。マイカ(雲母)やBergquist社の「Sil-Pad」などが選択肢になります。SMTのダイオードを使用しなければならない場合は、絶縁されているSMTパッケージがよいでしょう。

デバイス冷却を目的とすると銅箔面積を大幅に増やす方向で考えがちですが、これは犯しやすい誤りであり、過度のEMIを導いてしまいます。降圧コンバータの場合、ダイオードで発生する熱は、負荷電流ではなく、ダイオードを流れる平均電流で決まります。代表的なショットキ・ダイオードの順方向電圧降下は0.5Vです。負荷電流が5Aでデューティ・サイクルが0.4であれば、損失はわずか $5 \times 0.5 \times (1 - 0.4) = 1.5W$ です。基板上(タブ周囲の銅箔領域)の許容温度を最高100とすると、最大周囲温度が55であれば許容可能な温度上昇は $100 - 55 = 45$ です。計算上の損失は1.5Wなので、基板(またはケース)から周囲への要求熱抵抗は $45/1.5 = 30 /W$ となります。この値は通常のPCBで実現可能な範囲だとわかっています。銅箔パターンの必要な面積を求めるために、メッキ面積"A"に関する経験的な式を良好な近似式として使います。

$$A = 985 \times R_{th}^{-1.43} \times P^{-0.28} \text{ 平方インチ}$$

Pの単位はW、Rthは要求熱抵抗で単位は/Wです。上記の例について解くと、

$$A = 985 \times 30^{-1.43} \times 1.5^{-0.28} \text{ 平方インチ}$$

$$A = 6.79 \text{ 平方インチ}$$

この面積の銅箔パターンを正方形として実装するのであれば、各辺の長さは $6.79^{0.5} = 2.6$ インチ(66mm)となります。要求面積が1平方インチを超える場合は2オンス基板を使用してください。この例の場合は明らかに2オンス基板を使用したほうがよく、電源デバイス周辺の熱の「窮屈さ」を緩和し、広い銅箔面積の放熱効率をより高めます。なお、ここで検討している銅箔パターンは、PCBの一方の面に設けられ周囲に露出している点に注意してください。反対側の面に銅箔パターンを作成してグラウンド層を分離する方法は、異常なリターン電流パターンを発生させるため選択肢とはみなしていません。

グラウンド層

両面基板の場合、一方の面全体にグラウンド層を設ける方法が一般的に採用されています。この方法をあらゆる問題に対する万能薬あるいは特効薬として信じている人もいます。これまで見てきたようにすべての信号にはリターンが必要で、特に高調波の多い信号ではリターンは信号パスの直下を「流れたがる」ため、グラウンド層があると電磁界が打ち消されてインダクタンスは減少します。また、部品面の電源デバイスで発生した熱が反対側の面のグラウンドにも伝えられるため、放熱の点でも有利です。また、グラウンド層は、その直上にあるノイズを含んだトレースに対して容量性で結合し遷移を「和らげ」るため、グラウンド層自身が放射の原因となるほどにクロス・カップリングが強くない場合に限り、ノイズ/EMIが低減されます。あらゆる電源部品のグラウンド端子部分にはグラウンド層に対してビアを設けてもよく、この方法を採用すると、たとえば出力電圧などのDC抵抗性オフセット誤差の低減が図れます。Figure 2の"X"マークは、前述のとおり、グラウンド層を持つ両面基板でのビアを追加する候補位置を示しています。あくまでグラウンド層はオプションであり、低コストの片面基板が望ましいときは省略してもかまいません。また、ビアがスイッチャICの「サーマル・ビア」を兼ね、またビアがSMT電源デバイスのタブ下にある場合、前述のように適切な直径で設計しなければなりません。

グラウンド層はあくまで、Figure 2に示した推奨レイアウトへの「追加策」です。2個のクリティカルな部品の適切な配置を代替できるわけではありません。グラウンド層に分割や区画を作らないよう設計努力が必要です。また、グラウンド層に過度のスイッチング電力が流れると、一般的に考えて、「グラウンド・バウンス」が生じてコントローラをひっくり返った状態にしてしまいます。そのため高電力アプリケーションでは、せめて多層基板を使用し、信号グラウンド層と電力グラウンド層を別々に設けてください。ただし、低電力SIMPLE SWITCHERファミリの場合には信号グラウンド層だけでかまいません。また、あらゆる設計上の推奨事項を忠実に守ってレイアウトを行うのであれば、片面基板でも充分です。

信号トレース：帰還信号

トレースで唯一のクリティカルな信号は帰還信号です。まず、SIMPLE SWITCHERの出力調整可能バージョンを取り上げます。トレースの一端を低インピーダンス・ノードである出力電源レールまたは出力電圧の抵抗分圧出力に接続します。トレースの別の一端を、誤差アンプの入力で高インピーダンスの帰還ピンに接続します。2つのノード間にあるこのトレースが(容量性または誘導性によって)ノイズを拾うと、出力電圧に誤差が生じ、極端な場合に不安定動作やデバイス誤動作を引き起こします。対策には2つの選択しかないと考えられます。

1. 帰還信号を、ノイズのピックアップを最小限に抑えるように、可能ならば短くする。かつ/あるいは、
2. ノイズ源(スイッチング・ダイオード、インダクタ)から遠ざける。

トレース長を短く抑えるのは妥当ではないかも知れません。というのは、帰還トレースはノイズ発生源から遠ざけるために、意識してやや長めにルーティングする機会が多いからです。特にインダクタやダイオードの直下は通せません。両面SMT基板を使用する場合は、適切な対策は次のとおりです。

- 抵抗分圧回路の出力にビアを使い、トレースを反対側の面にわたす。
- インダクタ/ダイオードの下を横切らないように注意しながら、また基板のいずれの面の電力トレースとも並行させないように(直角であれば交差しても構わない)注意しながら、グラウンド層を分割する形でトレースをルーティングする。
- ICの近くまできたら帰還ピンに接続するために、別のビアを経由して部品面にトレースをわたす。

電圧調整可能バージョンの場合はFigure 5aを参照してください。太線がノイズを拾う可能性がある帰還トレースです。ここで、固定電圧品の検討から次の点が参考となります。回路をFigure 5bに示します。固定電圧品の場合、外部に太線となる帰還トレースは描かれていません。その理由は、トレースがノイズを拾う条件は、少なくとも一方の端のインピーダンスが高い場合に限られるからです。Figure 5bで、帰還ピンは誤差アンプの入力ではなく抵抗分圧回路に接続されています。そのため、ノイズに対して比較的耐性を持っています。ノイズを拾う可能性があるセクションはIC内部のみ(太線で図示)で、これはさきめて短いパスです。同様の考えを電圧調整可能品に適用した帰還トレースの興味深い一案を紹介します。回路例をFigure 5cに示します。ここで「帰還トレース」のトレース長はさきめて短いため、比較的ノイズ・フリーとなっています。帰還抵抗を物理的にICの近くに配置して、出力電圧から上側の抵抗までのトレースをいずれかの面に低インピーダンスとして作成すれば、ノイズを拾いません。ただし、" $I_o \cdot R$ "と記載したトレースで抵抗性の電圧降下が発生し出力電圧負荷レギュレーションの影響をわずかに受けるため、下側の抵抗からグラウンドへの接続は理想的ではありません。別の実装案がFigure 5dで、両方の問題を解決します。したがって、この実装案を推奨します。グラウンド層を使用してビアをグラウンド層に適切に配置すればFigure 5cとFigure 5dは実質的に同じになります。Figure 5dの抵抗分圧器の上側のトレースと下側のトレースは、ノイズのピックアップをさらに抑えるために、可能であれば並行かつ近接させてルーティングしてください。

ナショナルは記述したいかなる回路についても、その使用に関して責任を負うものではありません。特許の使用許諾を与えることを意味するものではありません。ナショナルは当該回路および仕様を任意の時点で予告なく変更する権利を有します。製品の最新情報については www.national.com をご覧ください。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

禁止物質不使用に関する適合

ナショナル セミコンダクターの製品および梱包材料は、CSP-9-111C2規格 (Customer Products Stewardship Specification)、CSP-9-111S2規格 (Banned Substances and Materials of Interest Specification) の規約に準拠しており、CSP-9-111S2 に定義された禁止物質を使用しておりません。鉛フリー製品は RoHS 指令に対応しております。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。