

リニア・レギュレータ：動作原理と補償

National Semiconductor
Application Note 1148
Chester Simpson
2000年5月



はじめに

過去 10 年間におけるバッテリー動作機器の爆発的とも言える増殖によって、電圧レギュレータには、これまでの LM340 や LM317 のような業界標準のデバイスでは満たすことのできない要件が課されるようになってきました。従来のレギュレータは NPN ダーリントン・パス・トランジスタを使用したもので、このドキュメントでは **NPN** レギュレータと表記します (Figure 1)。より高い性能要件が必要な場合は、新しい低ドロップアウト (LDO) レギュレータや準 LDO (quasi-LDO) レギュレータが用いられます。

NPN レギュレータ

NPN レギュレータは PNP ドライバとともに NPN ダーリントン・パス・トランジスタを使用することから、デバイスがレギュレーションを維持するために、レギュレータの入力と出力との間には少なくとも 1.5V から 2.5V の電圧差を保つ必要があります。最低限必要なこの「ヘッドルーム」電圧 (ドロップアウト電圧と呼ぶ) は次式のとおりです。

$$V_{\text{DROP}} = 2V_{\text{BE}} + V_{\text{SAT}} \text{ (NPN レギュレータ)}$$

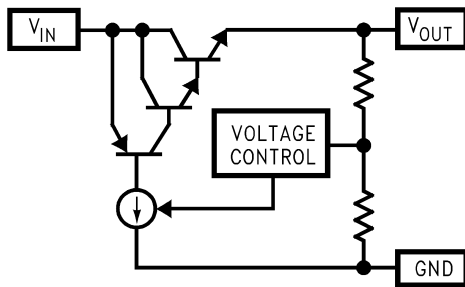


FIGURE 1. NPN REGULATOR

LDO レギュレータ

低ドロップアウト・レギュレータ (LDO) ではパス・トランジスタは単一の PNP トランジスタで構成されます (Figure 2)。LDO の大きな利点は、出力レギュレーションの維持に必要な PNP パス・トランジスタの両端の電圧降下を、きわめて小さくできることです。

$$V_{\text{DROP}} = V_{\text{SAT}} \text{ (LDO レギュレータ)}$$

全負荷時のドロップアウト電圧は 500mV 未満が一般的です。軽負荷時のドロップアウト電圧は 10mV から 20mV 程度まで低くなります。

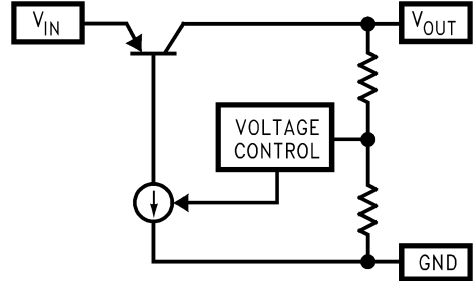


FIGURE 2. PNP LDO REGULATOR

準 LDO レギュレータ

一部のアプリケーション (5V-3.3V 変換など) で主流になりつつあるもうひとつのレギュレータが準 LDO レギュレータです (Figure 3)。準 LDO は NPN ダーリントンと本物の LDO との「中間」にあるため、このような名前が付けられました。パス・トランジスタは PNP で駆動される単一の NPNT トランジスタで構成されます。その結果、ドロップアウト電圧は LDO よりは高くなりますが、NPN ダーリントン・レギュレータより先低くなります。

$$V_{\text{DROP}} = V_{\text{BE}} + V_{\text{SAT}}$$

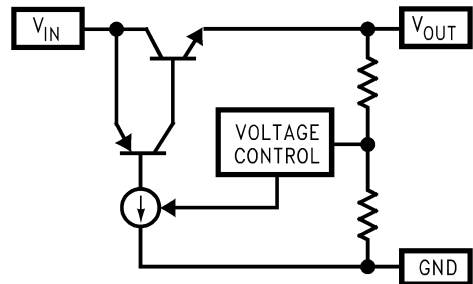


FIGURE 3. QUASI-LDO REGULATOR

レギュレータの動作

これら 3 タイプのレギュレータはすべて同じ動作原理で出力電圧を固定値 (一定値) に平滑化します (Figure 4)。

出力電圧はエラー・アンプの反転入力に接続される抵抗分圧回路を介してサンプリング (計測) されます。エラー・アンプの非反転入力には内部バンドギャップ・リファレンスで生成されるリファレンス電圧が接続されています。エラー・アンプは、その入力が等しくなるように、電圧をつねに変化させようとします。すなわち、以下の式で与えられるレギュレート出力の維持に十分な負荷電流が得られるように、必要に応じて電流を駆動します。

$$V_{\text{OUT}} = V_{\text{REF}} (1 + R1/R2)$$

レギュレータの動作 (つづき)

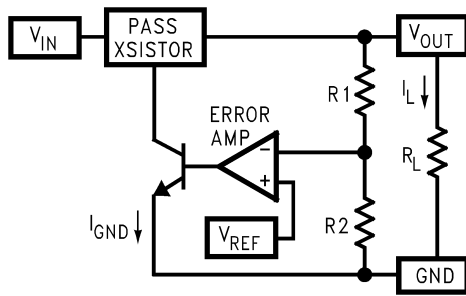


FIGURE 4. VOLTAGE REGULATOR

性能比較

NPN、LDO、準 LDO を性能面で比べると、ドロップアウト電圧 (前述) とグラウンド・ピン電流のふたつのパラメータに大きな違いが見られます。解析では、同じくグラウンドに流れる微小な IC バイアス電流は無視して、グラウンド・ピン電流 (I_{GND}) を Figure 4 のとおり定義します。この図から I_{GND} の値は、負荷電流 I_L をパス・トランジスタのゲインで除した値になることがわかります。

NPN レギュレータのダーリントン接続はゲインが高いため、きわめて小さなグラウンド電流 I_L で駆動できることを意味します (一般に数 mA)。準 LDO もきわめて良好な性能を示し、たとえばナショナルの LM1085 は 10mA 以下のグラウンド・ピン電流で 3A 以上を供給することができます。

LDO は一般にもっと大きなグラウンド電流が必要です。全負荷電流時に PNP の値は 15 から 20 程度にしかならないことは珍しくありませんので、LDO のグラウンド・ピン電流は負荷電流の 7% 程度に大きくなることがわかります。

NPN レギュレータの大きな利点は、無条件に安定しているという点です (ほとんどが外付けコンデンサを必要としません)。LDO では、ループ帯域を狭くするためと正の位相シフトをわずかに与える目的で、少なくとも 1 個の外付け出力コンデンサが必要です。準 LDO も一般に出力コンデンサを必要としますが、LDO ほどの容量は不要で、性能特性を拘束する制限もわずかです。

帰還とループ安定性

あらゆる電圧レギュレータは帰還ループを用いて出力電圧を一定に保ちます。帰還信号はループを通る過程でゲインと位相変化が与えられ、ユニティ・ゲイン (0dB) 周波数での位相シフト量によって安定性が決まります。

ボード線図

安定性を理解するにはループ・ゲイン (単位 dB) を周波数の関数としてプロットしたボード線図を使います (Figure 5)。なお、ループ・ゲインと関連用語については次以降のセクションで定義します。

ループ・ゲインは、ネットワーク・アナライザを使って、信号周波数を DC からゲインが 0dB 以下に下がる周波数まで掃引しながら、低レベル正弦波を帰還パスに注入したときのゲイン応答を測定して求めます。

ボード線図は閉ループ・システムの安定性の判断に必要なすべての情報を含んでいる有効なツールです。ただし、ボード線図に描かれている情報を解釈するには、ループ・ゲイン、位相マージ

ン、ポール、ゼロといった主要要素を理解していなければなりません。

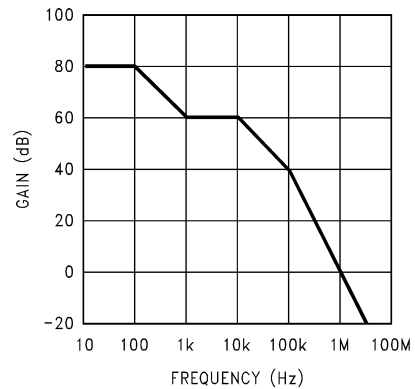


FIGURE 5. TYPICAL BODE PLOT

ループ・ゲイン

いずれの閉ループ系もループ・ゲインと呼ばれる特性を持っています。電圧レギュレータの今回の解析では、ループ・ゲインは帰還信号がループを通過する際に信号が受ける電圧ゲインの大きさとして定義することにします。この考え方を説明するために、Figure 2 の LDO のブロック図を書き直してみます (Figure 6)。

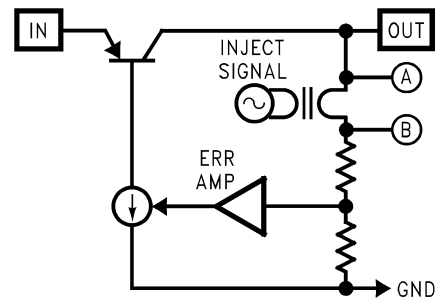


FIGURE 6. LOOP GAIN EXAMPLE

トランスを使用して AC 信号をポイント A とポイント B の間の帰還パスに注入します。トランスを使って小信号正弦波で帰還信号を「変調」していることとなります。ポイント A とポイント B で測定した AC 電圧をループ・ゲインの計算に用います。

ループ・ゲインは 2 つの電圧の比として定義されます。

$$\text{ループ・ゲイン} = V_A / V_B$$

ポイント B から始まる信号には、ループを通過するにつれて位相シフトが付加されることを忘れてはなりません (位相シフトはやがてはポイント A に到達します)。安定性の判定では位相シフト量が重要です。

帰還

帰還はあらゆる電圧レギュレータで出力電圧を一定に保持する目的で使われます。出力電圧は抵抗分圧回路を介してエラー・アンプの一方の入力に与えられサンプリングされます (Figure 6)。エラー・アンプのもう一方の入力にはリファレンス電圧が接続されていて、適正な DC 電圧のレギュレート出力を維持するためにパス・トランジスタが必要とする駆動電流は、エラー・アンプから供給されます。

帰還とループ安定性 (つづき)

安定したループを得るには負帰還の使用が不可欠です。負帰還とはソース信号に対して反対の極性で構成されます (Figure 7)。

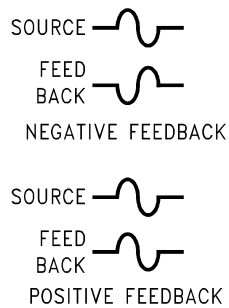


FIGURE 7. FEEDBACK SIGNALS

負帰還ではソースと極性が逆のため、そのループ応答は出力に現れる変化とは反対です。すなわち、出力電圧が上昇 (または下降) しようとする、公称値に戻すようにループが作用します。

正帰還では帰還信号の極性はソース信号と同じです。この場合、ループ応答は出力に現れる変化と同じ方向に働きます。正帰還は、出力電圧の変化を打ち消すどころか増幅してしまうため、明らかに不安定です。

リニア・レギュレータの設計でループを正帰還でわざわざ構成する設計者は誰もいませんが、負帰還であっても位相シフトが 180° になれば正帰還に変わってしまいます。

位相シフト

位相シフトは、帰還信号がループを通過する過程で与えられる位相変化の量として定義されます (ループ開始点を基準)。位相量 (単位は「 $^\circ$ 」) は多くの場合にネットワーク・アナライザを使って測定します。

理想的な負帰還とはソースに対して 180° 位相が異なっている状態 (Figure 8) であり、したがって負帰還では 180° が開始点になります。波形が 180° オフセットしている様子は、半分のサイクルが正確にシフトした負帰還波形として、Figure 7 にも示されています。

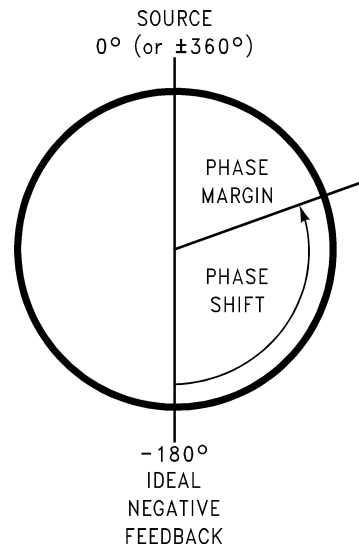


FIGURE 8. PHASE SHIFT MAP

-180° の開始点に対して、さらに 180° の位相シフト (正または負) が生じると、信号はソース信号と同位相に相当する位相シフト・ゼロの状態に戻り、おそらくループは不安定になるはずですが。

位相マージン

位相マージンは、ループ・ゲインが 0dB (ユニティ・ゲイン) に等しくなる周波数での帰還信号の総位相シフト量と -180° との差として定義されます (単位は「 $^\circ$ 」)。安定なループには通常 20° 以上の位相マージンが必要です。

位相シフトと位相マージンはボード線図のポールとゼロから計算することができます。

帰還とループ安定性 (つづき)

ポール

ポールは、ポールの前のゲイン・カーブの傾きに対して、さらに -20dB/dec (dec はデケードで 10 倍の周波数) の傾きを与えるポイントとして定義されます (Figure 9)。影響は加算的である点に注意してください。すなわちポールが複数個存在すると " n " \times (-20dB/dec) によって負の傾きが大きくなります。ここで " n " はポールの個数です。

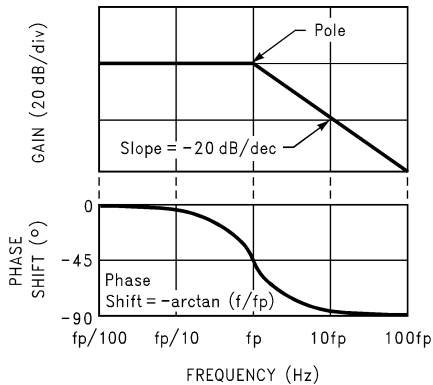


FIGURE 9. POLE GAIN/PHASE PLOT

ひとつのポールが与える位相シフト量は周波数によって変わりますが 0 から -90 の範囲です。ポール (またはゼロ) によって生み出される位相シフトのほとんどは、ポール (またはゼロ) 周波数の 1 デケード上または下の範囲で発生するといふ点は重要です。

NOTE: ひとつのポールは -90 までしか総位相シフトを与えません。したがって動作が不安定になる -180 に達するには 2 個以上のポールが必要です。

ゼロ

ゼロ (Figure 10) は、ゼロの前のゲイン・カーブの傾きに対して、さらに $+20\text{dB/dec}$ の傾きを与えるポイントとして定義されます。ポールと同じように 2 個以上のゼロが存在する場合は傾きの変化量は加算的です。

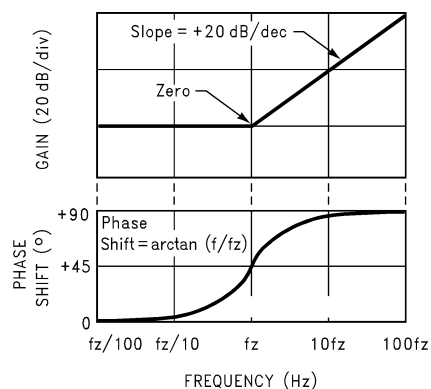


FIGURE 10. ZERO GAIN/PHASE PLOT

ゼロによって生じる位相シフト量は、ゼロの周波数を $+45$ として、0 から $+90$ の範囲です。

ゼロを理解するうえで最も重要な点は、ゲインと位相に対する作用がポールとは正確に反対になる「アンチ・ポール」としての働きです。

アンチ・ポールの働きこそがゼロを意図的に LDO レギュレータの帰還ループに追加する理由です。ゼロには、補償されずに残り不安定性を招くであろうポールのひとつを打ち消す効果があります。

ボード線図の解析

3 つのポールとひとつのゼロを持つボード線図 (Figure 11) を、ゲインと位相マージンの観点から解析してみましょう。

DC ゲインは 80dB と仮定し、1 つ目のポールは 100Hz にあります。ゲイン・カーブの傾きはこの周波数で -20dB/dec だけ変化します。

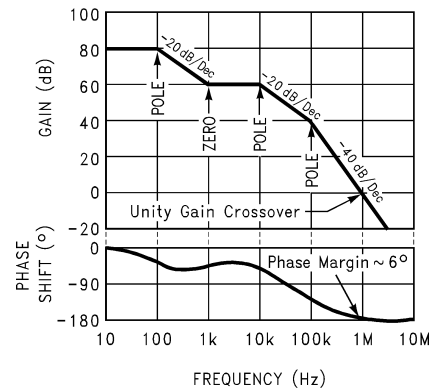


FIGURE 11. BODE PLOT WITH PHASE INFO

1kHz でのゼロによって、傾きが -20dB/dec に再び変わる 10kHz の次のポールまで、傾きは 0dB/dec に戻ります。

100kHz にある 3 番目の最後のポールが、ゲイン傾きを最終値の -40dB/dec に変化させています。

グラフからユニティ・ゲイン (0dB) クロスオーバー周波数が 1MHz であることもわかります。 0dB 周波数はループ帯域とも呼ばれます。

位相シフトのグラフは、複数のポールとゼロが帰還信号にどのような影響を与えているかを示します。このグラフの作成にあたっては、各周波数点の位相シフト量を、その周波数におけるそれぞれのポールとゼロの寄与の和から算出します。周波数 " f_p " に存在するポールによって、ある周波数 " f " に生じる位相シフトの大きさは、次の式で求めます。

$$\text{ポールの位相シフト} = -\arctan(f/f_p)$$

周波数 " f_z " に存在するゼロによって、ある周波数 " f " に生じる位相シフトの大きさは、次の式で求めます。

$$\text{ゼロの位相シフト} = \arctan(f/f_z)$$

このループの安定性を判断するには、 0dB (この例では 1MHz) 点の位相シフト量のみがわかれば十分です。とくに複雑な計算は必要ありません。

前のセクションで述べたように、ポールまたはゼロは、ポールまたはゼロの中心周波数の 1 デケード上または下の周波数範囲で、全量に近い位相シフトを与えます。すなわち、クロスオーバー周波数から離れた低い側にある 2 つのポールとゼロは、それぞれ -180 と $+90$ の位相シフトを与え、結果として正味の位相シフトは -90 になります。

3 番目のポールは 0dB 周波数から正確に 1 デケード下に存在します。ポールの位相シフトの式を用いると、このポールは 1MHz に -84 の位相シフトを与えます。前の 2 個のポールと 1 個のゼロが生む位相シフト量 -90 に加算すると、総位相シフト量として -174 が得られます。すなわち、6 の位相マージンに相当します。このループは発振が大きなリングングを生じるでしょう。

NPN レギュレータの補償

NPN レギュレータのパス・トランジスタはコモン・コレクタとして知られる回路構成に接続されています (Figure 1)。あらゆるコモン・コレクタ回路は出力インピーダンスが低いという重要な特性を備えており、そのため、ループ・ゲイン内に存在するパワー段によるポールは、きわめて高い周波数に発生します。

NPNレギュレータは回路の性質として低い周波数にポールを持たないため、ドミナント・ポール補償と呼ばれるテクニックを使います。この手法では、低い周波数のポールがループ・ゲイン内に発生するように、コンデンサを IC に内蔵します (Figure 12)。

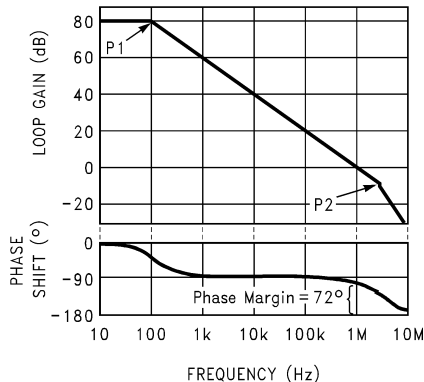


FIGURE 12. BODE PLOT FOR NPN REGULATOR

一般的な NPN レギュレータのこのドミナント・ポール (P1 として図示) はおよそ 100Hz に設定されています。100Hz のポールによって、3MHz にある第 2 のポール (P2) に達するまで、ゲインは周波数に伴って - 20dB/dec で低下します。ポイント P2 でゲイン・グラフはさらに - 20dB/dec で変化しています。

P2 の周波数は NPN パワー・トランジスタと関連ドライブ回路によって決まるため重要で、ときにはパワー・ポールとも呼ばれます。P2 はループ・ゲインが - 10dB になる周波数に発生しているため、0dB 周波数 (1MHz) での位相シフトに与える影響は軽微と考えられます。

安定性の判定には 0dB における位相マージンのみを計算します。

第 1 のポール (P1) は - 90 の位相シフトを与えますが、第 2 のポール (P2) は 1MHz (0dB) にてわずか - 18 の負の位相シフトしか与えません。そのため 0dB での総位相シフト量は - 108 になり、きわめて安定した状態に相当する 72 の位相マージンが得られます。

また、位相シフト量がループを不安定にする - 180 にも達するには 2 つのポールの両方が全位相シフト - 90 を与える必要がありますが、P2 の周波数は 0dB 周波数 (1MHz) に大きな位相シフトを与えるには高すぎることから、このループが安定であることは単純に考えても明らかです。

LDO レギュレータの補償

LDO レギュレータの PNP トランジスタ (Figure 2) は、NPN レギュレータでのコモン・コレクタ構成より先インピーダンスの高い、コモン・エミッタと呼ばれる構成に接続されています。そのため、負荷抵抗と出力容量の両方に依存する低い周波数にポールが発生します。このポールの周波数 (負荷ポールの P_L と表記) は次の式で与えられます。

$$f(P_L) = 1/(2 \times R_{LOAD} \times C_{OUT})$$

周波数が変動する負荷ポール P_L が存在するため、NPN レギュレータで使われる単純なドミナント・ポール補償テクニックは、追加補償を行わないかぎり LDO ではうまく機能しないことがわかります。その理由を、上記の仮定を使って、5V/50mA のループ・ゲインを持つ LDO レギュレータで説明してみましょう。

最大負荷電流において負荷ポール (P_L) は次の周波数で発生します。

$$P_L = 1/(2 \times R_{LOAD} \times C_{OUT}) = 1/(2 \times 100 \times 10^{-5}) = 160\text{Hz}$$

ドミナント・ポールによる内部補償を 1kHz の固定ポール (P1) に設定します。

PNP パワー・トランジスタとドライバによるパワー・ポール (P_{PWR} と表記) が 500kHz に存在します。

DC ゲインを 80dB と仮定します。

$R_L = 100$ (最大負荷電流を生む値)

$C_{OUT} = 10 \mu\text{F}$

上述の条件を使ってボード線図 (Figure 13) を描きます。ループが安定でないことは一目でわかります。2 つのポール P_L と P1 がそれぞれ - 90° の位相シフトを与え、0dB 周波数 (この例では 40kHz) の総位相シフト量は - 180° に到達しています。

負の位相シフトを低減 (かつ発振を防止) するには、ループにゼロを追加しなければなりません。ゼロは最大で + 90 の正の位相シフトを与え、2 つの低周波ポールのうちのひとつの影響を打ち消します。

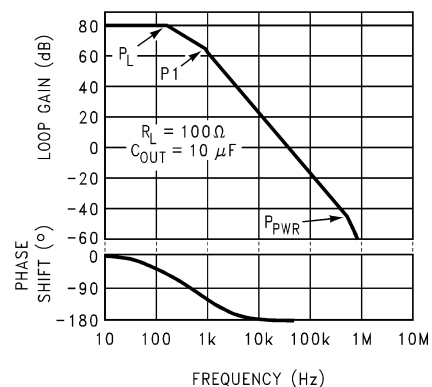


FIGURE 13. LDO GAIN PLOT WITHOUT COMPENSATION

ほとんどすべてのモノリシック LDO レギュレータでは、このようなゼロをループに追加する必要があります。ゼロは出力コンデンサに固有の特性である等価直列抵抗 (通常 ESR と呼ぶ) によってもたらされます。

ESR を用いた LDO の補償

等価直列抵抗 (ESR) はすべてのコンデンサに存在する特性です。コンデンサと直列に配置された抵抗として電氣的にモデル化が可能です (Figure 14)。



FIGURE 14. CAPACITOR SHOWING ESR

出力コンデンサの ESR によって、多すぎる負の位相シフト量を低減するゼロが、ループ・ゲイン内に導入されます。

ゼロの周波数は ESR の値と出力コンデンサの容量に直接関係します。

$$F_{ZERO} = 1/(2 \times C_{OUT} \times ESR)$$

前のセクションの例を使って (Figure 13 のボード線図)、ゼロが 16kHz に現れるように、 $C_{OUT} = 10\mu F$ 、出力コンデンサの ESR = 1 と仮定します。

このようにして追加したゼロが不安定グラフを安定グラフに変える様子を Figure 15 に示します。

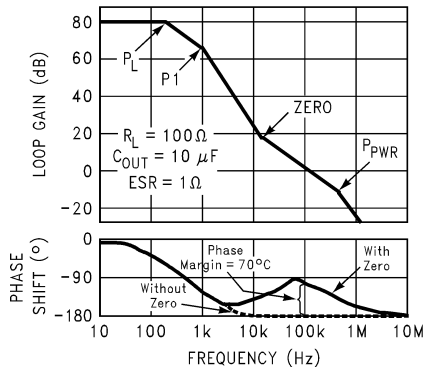


FIGURE 15. ESR ZERO STABILIZES LDO

ループの帯域が広くなり、0dB クロスオーバー周波数は 30kHz から 100kHz に移動しています。

ゼロは 100kHz (0dB 周波数) に + 81 の位相シフトを与えています。この正の位相シフトによって、ポール P_L とポール P_1 で生じる負の位相シフトが抑えられています。

ポール P_{PWR} は 500kHz にあるため、100kHz には - 11 の位相シフトしか影響を与えません。

すべてのポールとゼロを合計すると、0dB での総位相シフトは - 110 になります。この値はきわめて安定な動作を生む + 70 の位相マージンに相当します。

以上、適切な値の ESR を持つ出力コンデンサが、LDO を安定させるゼロをどのように生成するかを示しました。

ESR と安定性

ほぼすべての LDO レギュレータで、安定した動作を確保するためには、出力コンデンサの ESR はある特定の範囲に収まっていなければならない。

LDO メーカーは、負荷電流の関数としてプロットした、安定領域の境界を定義するグラフを提供しています (Figure 16)。

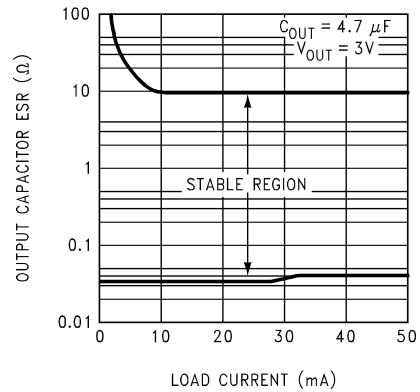


FIGURE 16. ESR RANGE FOR Typical LDO

このような境界が存在する理由を説明するために、位相マージンに対する低 ESR と高 ESR の影響を、前に取り上げた例を使って説明します。

高 ESR

前のセクションで取り上げた例をもとに、条件を変えて 10 μF 出力コンデンサの ESR を 20 に増やしてみます。これでゼロの周波数は 800Hz に下がります (Figure 17)。ゼロの周波数が下がるとループ帯域が広くなり、0dB クロスオーバー周波数は 100kHz から 2MHz へと移動しています。

帯域が広くなることでポール P_{PWR} はゲイン値 + 20dB で起こるようになります (Figure 15 での - 10dB と比較してください)。

位相マージンのグラフ (Figure 17) の解析から、ゼロは P_1 か P_L のいずれかを打ち消していると考えられます。つまり、ループ全体では 2 つのポール応答が存在し、低周波ポールは - 90 の位相シフトを与え、高周波ポール P_{PWR} はおよそ - 76 の位相シフトを与えます。

ESR と安定性 (つづき)

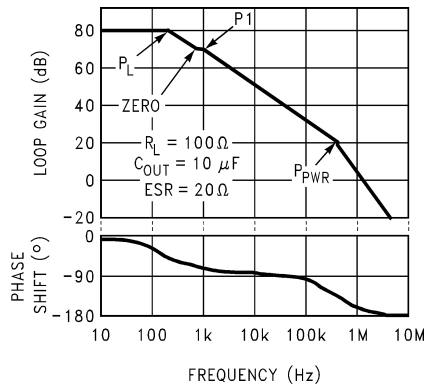


FIGURE 17. HIGH ESR CAUSES UNSTABLE LOOP

以上から 14 の位相マージン (おそらくは安定) が得られますが、実験データから ESR 値が 10 を超えた場合には、このような単純化したモデルには示されていない他の高周波ポールの影響に伴う位相シフトによって、通常は不安定になることがわかっています。

低 ESR

ESR がきわめて低い出力コンデンサは、別の理由から発振を引き起こします。

再び前のセクションで取り上げた例をもとに、 $10\mu\text{F}$ の出力コンデンサの ESR を $50\text{m}\Omega$ まで低くすると、ゼロの周波数は 320kHz に上昇します (Figure 18)。

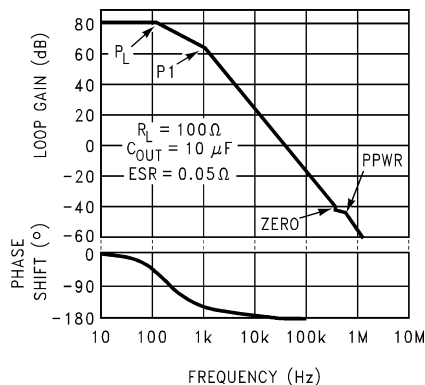


FIGURE 18. LOW ESR CAUSES UNSTABLE LOOP

位相マージンのグラフから不安定であることが計算するまでもなくわかります。

ふたつのポール P_1 とポール P_L それぞれによる -90° の位相シフトは、 0dB 周波数で総位相シフト -180° を与えます。

このシステムを安定にするには、 0dB ポイントの前で正の位相シフトを与えるようなゼロが必要です。しかし、ゼロは 320kHz にあるので、何らかの効果を与えるには遠すぎます (しかも P_{PWR} で打ち消されています)。

出力コンデンサの選択

出力コンデンサは、モリシク LDO レギュレータを補償する手段のひとつであり、十分な注意を払って選択しなければなりません。LDO アプリケーションで起こる発振のほとんどは、出力コンデンサの ESR が高すぎるか低すぎるのが原因です。

LDO に適した出力コンデンサを選択する場合は、固形タンタル・コンデンサが通常は適当です (LP2985 のようにセラミック・コンデンサに適した設計がなされているデバイスを除きます)。AVX 社の $4.7\mu\text{F}$ タンタルで試験を実施したところ、ESR は $25\text{m}\Omega$ で 1.3 となり、安定領域のほぼ理想的な中心に相当する値です (Figure 16)。

また、AVX コンデンサは、 -40 から $+125$ の温度範囲に対して、ESR の変動幅は 2 倍に達しない点もきわめて重要です。アルミ電界コンデンサは、低温で ESR が指数的に増大するという有名な欠点を持っているため、LDO 出力コンデンサには不適当です。

大容量 ($1\mu\text{F}$ 以上) のセラミック・コンデンサの ESR 値は一般にきわめて低い ($20\text{m}\Omega$ 未満) ため、出力に直接接続した場合は大半の LDO レギュレータは発振を起こします (LP2985 を除く)。セラミック・コンデンサを使用する場合は、外付け抵抗を直列にして実効 ESR を高めます。大容量セラミックは温度係数の面でも劣り (一般 Z5U)、温度範囲の上限または下限で容量が半分以下まで低下することがあります。

準 LDO の補償

次に、準 LDO レギュレータを安定性と補償に関して評価してみます (Figure 3)。準 LDO は電気的特性で LDO レギュレータと NPN レギュレータの両方の面を備えています。準 LDO は NPN パス・デバイスを使用している点でコモン・コレクタ構成の仲間であり、出力デバイス・ノード (エミッタ) は相対的に低インピーダンスに見えます。

しかし、NPN のベースは高インピーダンスの PNP 電流源によって駆動されるため、準 LDO レギュレータの出力インピーダンスは、NPN ダーリントン・パス・デバイスを使った NPN レギュレータと同じような低い値にはなりません (ただし、PNP のコレクタがレギュレータ出力になっている本物の LDO に比べればはるかに低インピーダンスです)。

すなわち、準 LDO で問題となるパワー・ポールは NPN レギュレータより低い周波数に発生するため、準 LDO を安定にするにはある程度の補償 (出力容量) が必要です。もちろんこのポールは LDO のポールよりはるかに高い周波数にあるため、準 LDO に必要な容量は小さく ESR はそれほどクリティカルではありません。

例えば、準 LDO の例として負荷電流定格 3A の LM1085 は、わずか $10\mu\text{F}$ のタンタル出力コンデンサを接続するだけで、あらゆるライン条件および負荷条件に対して完璧な安定性が保証されます。LDO とは違って ESR がクリティカルではないため、ESR グラフは提供されません。

低 ESR に対応した LDO

ナショナル セミコンダクターでは、面実装セラミック・コンデンサなどの超低 ESR コンデンサに対応した、LP2985 や LP2989 などの LDO レギュレータを提供しています。このタイプのコンデンサの ESR 値は 5 ~ 10m と小さく、一般的な LDO レギュレータのほとんどでは Figure 18 で説明したように発振を引き起こします。

LP2985 はそのような低 ESR 値でも安定して動作するよう、本来はタンタル出力コンデンサで与えるべき ESR ゼロの代わりに、デバイス内にゼロを内蔵しています。この工夫によって安定動作が可能な ESR 範囲は低い側に移動しています。ゼロを内蔵しない一般的な LDO は 100m から 5 の ESR で安定するはずですが（タンタルは適合しますがセラミックは不適）。LP2985 の ESR の安定範囲は下限は 3m まで拡張され、上限はおおよそ 500m までが可能ですから、セラミックを使用しても問題はありません。

上限の値も低くなる理由は Figure 15 から理解されます。前述のように LP2985 は LDO にゼロを内蔵しているため、高周波ポールが発振に必要な位相シフトを追加するあたりの、帯域の拡張につながらない十分に高い周波数に、出力コンデンサによって生じる ESR ゼロを維持しておかなければならないからです。

FET 採用のメリット

LDO レギュレータでは P-FET をパス・トランジスタとして構成することが可能です (Figure 19 参照)。

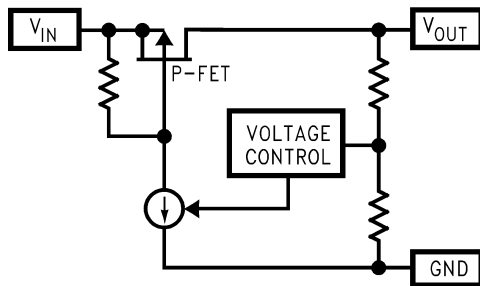


FIGURE 19. P-FET LDO REGULATOR

P-FET LDO を採用する利点を理解するためには、PNP LDO のパワー・トランジスタが必要とする全ベース電流 (Figure 2) は、グラウンド・ピンを流れ入力電源に還流する点に着目しなければなりません。すなわちベース駆動電流は、電源入力から引き込まれますが負荷は駆動しないため、LDO レギュレータ内で消費しなければならない無駄な電力を生み出します。

$$PWR (\text{ベース駆動}) = V_{IN} \times I_{BASE}$$

PNP トランジスタの駆動に必要なベース電流は、負荷電流を PNP トランジスタの (ゲイン) で除した値になります。一部の PNP LDO レギュレータでは 15 から 20 の範囲です (定格負荷電流にて)。このようなベース駆動電流で発生する無駄な電力は好ましいものではありません (とくにバッテリー駆動のアプリケーションで)。P-FET を使えばゲート駆動電流はきわめて小さく抑えられるため、この問題が解決されます。

P-FET LDO のもうひとつの利点は、FET のオン抵抗を調節することでドロップアウト電圧をきわめて小さくできることです。モノリシック・レギュレータの場合、FET パワー・トランジスタは一般にバイポーラ PNP デバイスに比べて単位面積あたりのオン抵抗を小さくすることができます。すなわち、小さなパッケージで大電流レギュレータを実現できるのです。

ナショナルは記述したいかなる回路についても、その使用に関して責任を負うものではありません。特許の使用許諾を与えることを意味するものではありません。ナショナルは当該回路および仕様を任意の時点で予告なく変更する権利を有します。製品の最新情報については www.national.com をご覧ください。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

禁止物質不使用に関する適合

ナショナル セミコンダクターの製品および梱包材料は、CSP-9-111C2 規格 (Customer Products Stewardship Specification)、CSP-9-111S2 規格 (Banned Substances and Materials of Interest Specification) の規約に準拠しており、CSP-9-111S2 に定義された禁止物質を使用しておりません。

鉛フリー製品は RoHS 指令に対応しております。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。