

FPD リンク・デバイスのプリント基板および相互接続設計のガイドライン

National Semiconductor
Application Note 1085
John Goldie
June 1999



FPD リンク・デバイスのプリント基板および相互接続設計のガイドライン

AN-1085

はじめに

フラットパネル・ディスプレイ・リンク (FPD リンク) 用のトランスミッタは、ビット幅の広い TTL パラレル信号をビット幅の狭い高速 LVDS インタフェースに変換し、レシーバは、その高速データを復元してビット幅の広い TTL 信号に戻します。システム・ブロック図を Figure 1 に示します。FPD リンク・デバイスを使用することにより、ノートブック PC や LCD モニタのアプリケーションにさまざまな利点をもたらされます。LVDS インタフェースの使用により、マザーボードから LCD パネル間の配線が容易になります (例えば、ヒンジ部の経路) また、モニタ・アプリケーションでは、LVDS ドライバを使用することにより高速で長いケーブルの駆動が可能になります。さらに、小型の

ケーブルとコネクタを使用することによりコストを低減できます (パラレル伝送に比べて最大 80% もの接点数を節約)。LVDS は、同一電流源を使用した差動伝送方式で、わずか 300mV 程度の低信号振幅、および滑らかな遷移でスパイクを低減する電流モード・ドライバの使用により、EMI を低減し、高いバンド幅を実現します。以上述べたような LVDS と FPD リンクの利点を最大限に活かすためには、プリント基板と相互接続において高速動作に対応した設計が求められます。このアプリケーション・ノートでは、転送エラーがなく、かつ放射の少ない LVDS インタフェースを実現するための、プリント基板と相互接続設計の要求仕様について説明します。

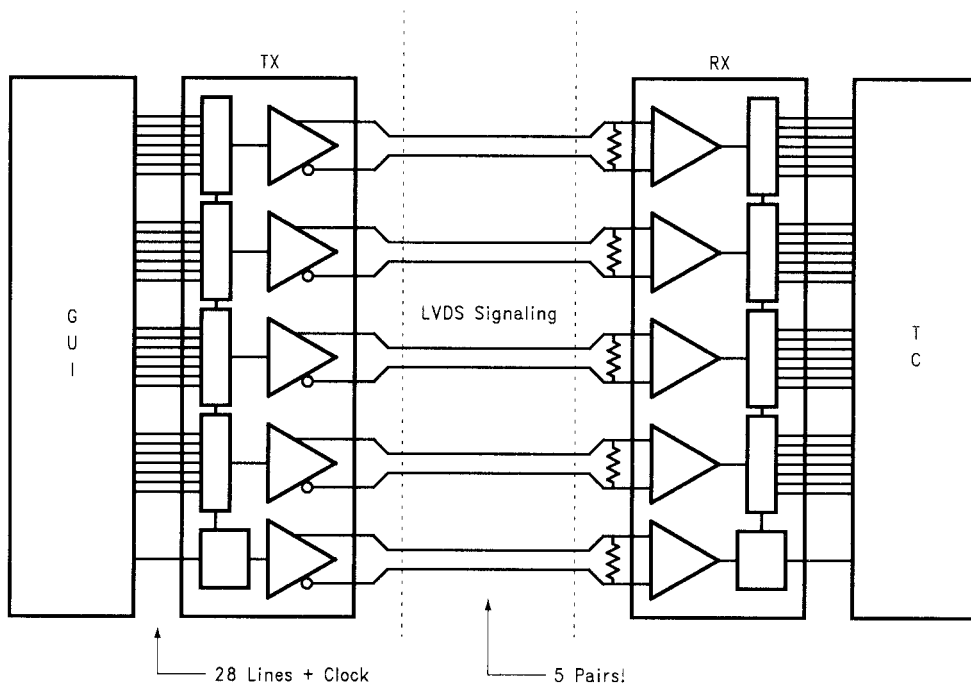


FIGURE 1. Link System Block Diagram

トランスミッタ (TX) の機能

トランスミッタ (TX) は、21 ビットまたは 28 ビット幅の TTL パラレル・データを受け取り、3 または 4 対の高速シリアル LVDS データ列に変換します。トランスミッタ (TX) の動作にはデータとクロックだけが必要です。制御信号は必要ありません。デバイスによって異なりますが、トランスミッタ (TX) に入力されたデータはクロックの立ち上がりまたは立ち下がりでストロープされ取り込まれます。クロック・エッジは、部品型番の文字列中、「C」に続いた「R」(立ち上がり) または「F」(立ち下がりで) 明記されています。また、デバイスの中には、立ち上がり、または立ち下りの選択ピンを持つものもあります (例えば DS90C383/A)。クロックは、シリアル LVDS データ列の内部クロック・ストロープを生成するために PLL 回路に供給されます。パワー・ダウン・ピンもサポートされています。このピンを使用することにより、

PLL はシャットダウンされ、ドライバ出力は TRI-STATE[®] 状態 (ハイ・インピーダンス) になります。このモードでは、LVDS の負荷ループ電流はディスエーブルにされ、I_{CC} は μ A オーダーになるので、表示の必要がないときに電力を節減できます。

プリント基板上でのトランスミッタ (TX) の位置

トランスミッタ (TX) は、可能な限りインタフェース・コネクタの近くに配置して下さい (Figure 2 を参照)。これにより、プリント基板上の LVDS 配線長を短くでき、結果としてスキューも小さくできます (差動信号配線については、「トランスミッタ (TX) - コネクタ間インタフェース」の項を参照して下さい)。スキューは一般的に配線長に比例するため、接続距離が短いと発生するスキュー量も小さくなります。

トランスミッタ(TX)とコネクタ間が2インチ以内であれば、スキューをゼロにするための配線長補正は必要ありません。距離が2インチ以上ある場合は配線長補正が必要となります。グラフィック・コントローラ(GUIコントローラ)とトランスミッタとの配置関係には、とくに制限はありません。GUIコントローラとトランスミッタ間はLVDSバスに比べると低速であり、タイミングの制約も緩やかだからです。ただし、過大なスキューと、それによって発生するセットアップまたはホールド・タイミングを確保するために、GUIコントローラとトランス

ミッタ間のパラレルRGB信号は等長配線で設計して下さい。極端な例として、配線の伝搬時間が波形立ち上がり時間の1/2以上に相当するような場合は、GUIとのインターフェイスに終端が必要となる可能性があります。RGBデータはレベルにセンシティブですが、クロックはエッジにセンシティブである点にも注意する必要があります。とくにGUIコントローラとトランスミッタ間の配線が伝送線路としてみなされるほど長い場合は、クロック信号(FPSHIFT)の終端を考慮して下さい。

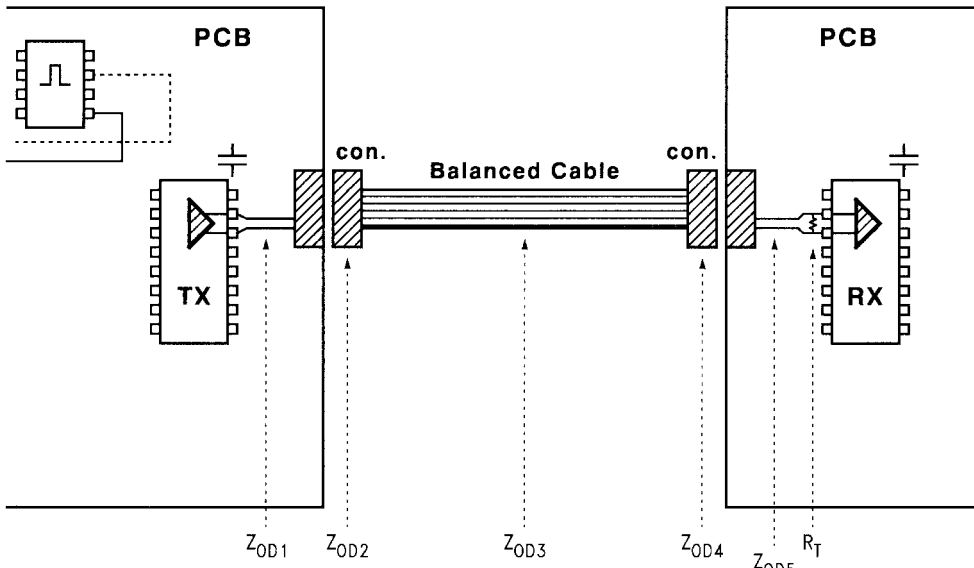


FIGURE 2. TX and RX Location

AN10098-2

トランスミッタのグラウンドと電源

トランスミッタは高速で高性能なデバイスです。デバイスは、デバイスで規定されるクロック周波数 f または $3.5 \times f$ MHzで動作するPLL回路と、数百MbpsのオーダーでトグルするLVDSドライバを内蔵しています(65MHzクロックで最大455Mbpsに達します)。そのため、このデバイスには安定したグラウンドと電源の供給が求められます。 V_{CC} ノイズは100mV_{pp}を超えてはなりません。超えるような場合には、PLL V_{CC} とPLL GND として別の層の割り当てが必要です。安定した電源とグラウンド基準を得るために、少なくとも4層基板を推奨します。トランスミッタ(TX)およびレシーバ(RX)を、両面2層基板またはフレキシブル基板に搭載することは推奨しません。EMI放射の対策も、まずは安定したグラウンドと電源を得ることから始まります。アプリケーションの都合上、トランスミッタ(TX)をオプションとして小型のドーターカードに配置する場合は、そのドーターカードも4層とし、電源とグラウンドは複数の端子を用いて低インピーダンスで接続するようにします。

トランスミッタ(TX)の電源バイパス

トランスミッタ(TX)には、3系統の V_{CC} (電源)とグラウンドがあります。それぞれデジタル回路用、LVDSドライバ用、PLL用です。電源ノイズを100mV_{pp}以下に抑えるためには、デバイス近傍に電源バイパスを設ける必要があります。バイパス・コンデンサは、細い配線の末端に配置するのではなく、可能な限りデバイス・ピンの近くに隣接して接続します。また、 $4.7\mu F \sim 10\mu F$ 程度の大きめのコンデンサも近傍

に置きます。バイパス・コンデンサは、電源とグラウンドそれぞれに対して複数(2個を推奨)のスルー・ホールを設けた、幅広い配線で接続するようにして下さい。理想的には、各電源ピンに $0.1\mu F$ 、 $0.01\mu F$ 、 $0.001\mu F$ の3つのコンデンサを並列で用いるようにします。複数のコンデンサを並列にして用いると、広い周波数帯にわたってノイズを吸収でき、ESR(透過直列抵抗)を低減し、さらに高い周波数での低インピーダンス化を実現できます。実装面積が限られている場合でも、最も低ノイズが要求されるPLL用電源/グラウンドのバイパス・コンデンサを省略してはなりません。コンデンサ部品としては、インダクタンス分が最も少なく、またデバイス・ピンの近くに実装できるという理由で、0805型または1206型の表面実装チップコンデンサを推奨します。この場合、寄生インダクタンスは $1.5nH \sim 2nH$ の範囲となります。一方、細い配線の末端にコンデンサを配置した場合は、インダクタンス分は $15nH$ にもなってしまいます。

GUIコントローラ - トランスミッタ(TX)間インタフェース

GUIコントローラとトランスミッタTX間の接続には、標準的なプリント基板設計技術を適用して下さい。データ(R、G、B)制御信号、クロック信号は、クロックとデータ間のスキューを抑えるためにすべて等長配線として下さい。とくに、クロック信号は信号波形品質が問題となります。配線では、不要なスルー・ホールや急な角度での曲げ、およびその他のインピーダンス不整合を避けて下さい。クロック信号は、ポイント・ツー・ポイントでの配線が波形品質の維持には最適です。ま

た、クロックおよびデータに対して不要なクロストークを防ぐために、他のクロック信号は離すようにして下さい。クロック信号は、トランスミッタ (TX) 入力点での終端対策を考慮しておくといでしょう。GUI コントローラがドライブ能力 (デバイスによりますが 6mA ~ 8mA、または 12mA) を設定可能である場合は、クロックをハイ・ドライブとしデータをロー・ドライブとすると、クロック信号の波形品質をシャープに保ち、かつ GUI コントローラからの出力データのノイズ発生を少なくする最良のバランスとなることが、実験によりわかっています。トランスミッタ (TX) の使用しない入力ピンは、不要なスイッチングと消費電力低減のために、5V シリーズ・デバイスではグラウンドに接続し、3.3V シリーズ・デバイスではグラウンド接続またはフローティングのままとします。3.3V デバイスは、入りにプルダウン抵抗を内蔵しています (データシートを参照)。

トランスミッタ (TX) - コネクタ間インタフェース
「プリント基板上でのトランスミッタ (TX) の位置」の項で述べたように、トランスミッタ (TX) の LVDS 出力とコネクタ間の配線は最短として下さい。また、Figure 3 に示すように、TTL/CMOS レベルのシングルエンド・タイプの配線は、LVDS 信号と相互接続へのクロストークを最小限に抑えるために、異なる層に配線するか、LVDS 信号から少なくとも "3S" の距離をあけて下さい (単位 "S" については後述します)。LVDS 信号とその他の信号を分離するために、両者の間にグラウンドのガード・パターンを走らせてもよいでしょう。カップリングしている差動ペア信号に対して、他の信号は少なくとも "2S" の距離をあげる必要があります。LVDS データの歪みは、レシーバ端での同相モード除去により問題とはなりません。距離を取って分離する理由は、同相モード・ノイズ (EMI) を抑えるためです。使用しない LVDS ドライバ出力は、電力消費を抑えるために開放としておきます。

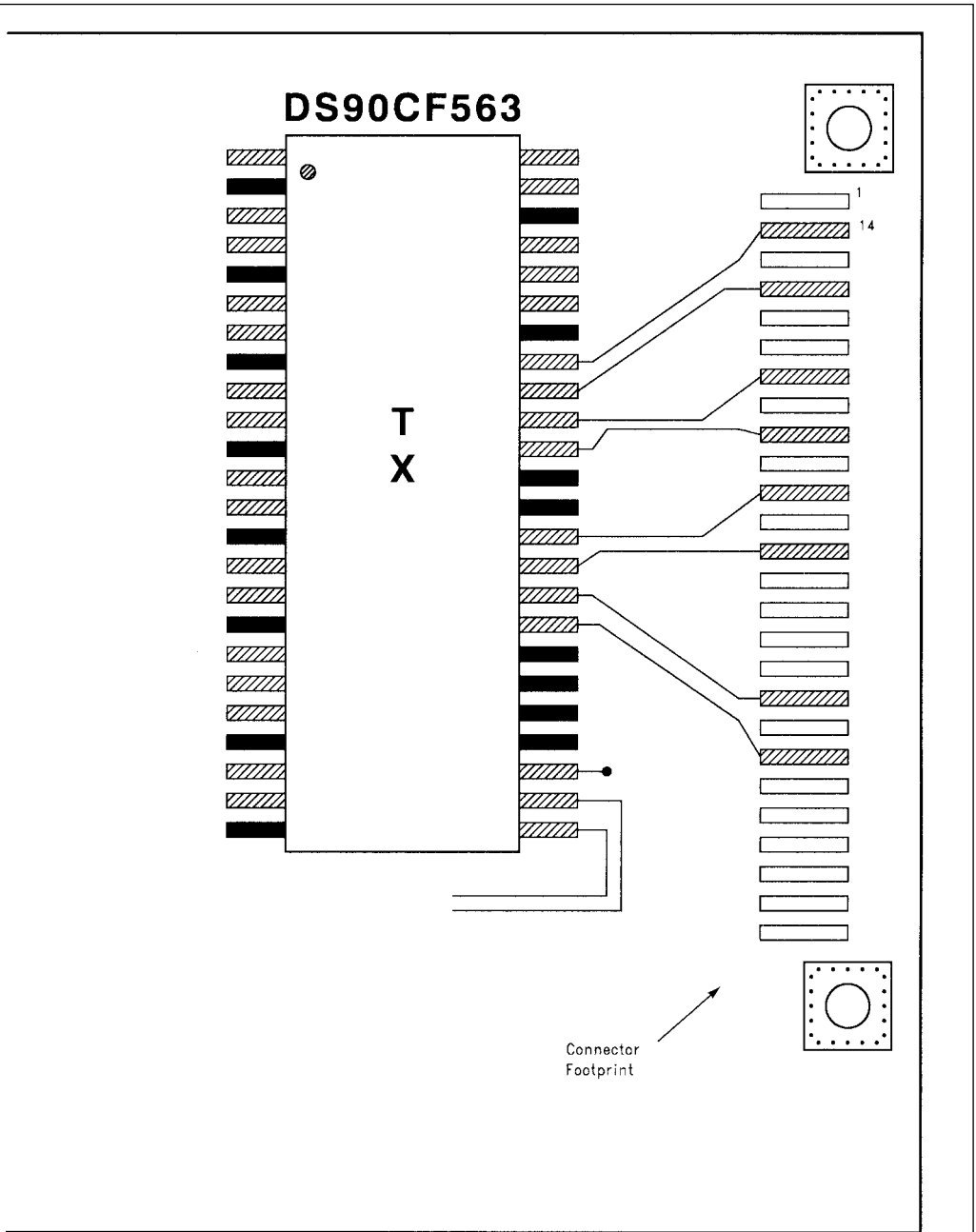


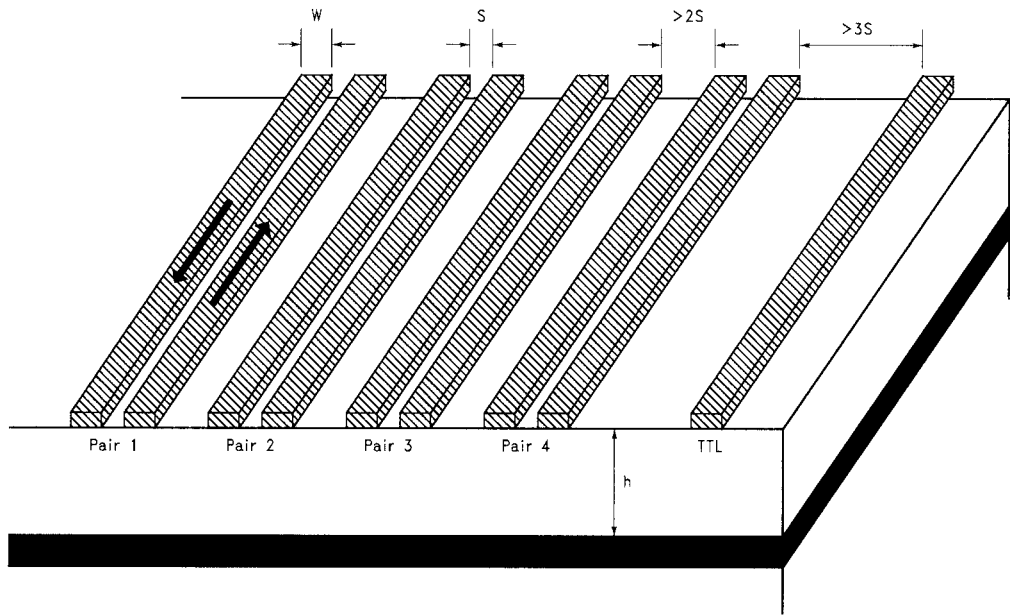
FIGURE 3. LVDS PCB Layout

差動配線を採用すると、差動でのデータ転送におけるノイズ除去能力を向上でき、また不要な放射を低減できます。したがって、トランスミッタ (TX) の LVDS 出力 (およびレシーバの入力) を差動配線にすることを推奨します。差動配線は、標準的なプリント基板配線とわずかに異なるだけです。すなわち、差動ペアを構成する 2 つの信号の配線の距離 (単位 "S") が最小になるように考慮します。この距離は、信

号ペアの差動モードの特性インピーダンスと、システムの差動ノイズマージンに関係するため、正確に保つことが必要です。通常の配線は、インピーダンスを 50Ω として設計されます。2 本の信号の距離をあげて配線すると、差動モードの特性インピーダンスはシングルエンドの場合の 2 倍となりますが、差動信号としては効果がなくノイズ除去性能が得られません。差動ノイズ除去性能を最大とするには、差動ペア

間の配線間隔を最小にしなければなりません(差動ノイズ・マージンとは、最小信号振幅からレシーバ・スレッショルドの最大値を引いた値です(250mV - 100mV = 150mV))。信号ペアを最小間隔で配線すると、外部からのノイズは、同相モード・ノイズとしてレシーバで除去可能になります。配線インピーダンスを調整するには、まずパラメータ“S”を最小配線間隔として、配線幅で所望のインピーダンスに合わせます(計算方法については、弊社のアプリケーション・ノート AN-905 を参照して下さい)。ペア配線が近接している場合、差動インピーダンスはシングル・エンドでのインピーダンスの2倍にはなりません(係数は

2未満となります)。隣り合ったLVDS 差動ペア同士の距離は、Figure 4 に示すように、“2S”以上として下さい。LVDS 信号と振幅の大きなTTL または CMOS 信号は、“3S”以上の距離を保つことが異なる信号層に配線して下さい。また、LVDS 信号の配線長は、トランスミッタ(TX)とレシーバ(RX)間で発生するスキューを最小限に抑えるため、等長として下さい。また、カップリングの強さを、直下の層に対してではなくペア間同士で最大にするために、配線間隔“S”と直下のグラウンド/電源層までの高さ“h”は、 $S < h$ の関係にすることを推奨します。



AN100098-4

FIGURE 4. Differential Trace Spacing

相互接続では、通常、外層を使用するマイクロストリップ線路を使用します。マイクロストリップ線路によって、容易に高いインピーダンスを得ることができます。また、スルーホールを使用しないで配線することができ、信号にとっては良い条件となります。しかし、シールドの面では、グラウンド/電源層間に挟まれたストリップ線路の方が優れています。ケーブルの差動モードの特性インピーダンスに合うのであれば、マイクロストリップ線路、ストリップ線路のどちらを使用しても構いません。Figure 2 では、トランスミッタ(TX)の基板インピーダンスを Z_{OD1} として表し、ケーブル相互接続のインピーダンスを Z_{OD3} として表しています。反射を最小にするために、すべてのインピーダンスを設計値(通常100Ω)の10%以内に収めることを推奨します。わずか10%のインピーダンスの差でも、5%の反射を生む点に注意する必要があります。反射の振幅を低減することは、システム全体のEMI低減につながります。

ケーブル相互接続

LVDS ドライバおよびレシーバは、さまざまな媒体上での動作を想定して設計されています。システムの要求、例えば相互接続の距離、必要なシールド量、ケーブルを通すヒンジ部分の寸法(ノートブック・アプリケーションの場合)およびコストなどのさまざまな要因で使用するべき媒体は変わります。FPD リンク(LVDS)デバイス、フラット・リボン・ケーブル、フレキシブル基板、シールド・ツイスト・ペア線、お

よびツイナックス・ケーブルで動作を確認しています。まず理解すべき重要なパラメータは、媒体の差動モードでの特性インピーダンスです。大部分のケーブルは、通常100Ωのインピーダンスを持っています(ケーブルのデータシートを参照して下さい)。前述のように、同相モード・ノイズの発生を最小限に抑えるには、トランスミッタ(TX)からのプリント基板接続、相互接続の媒体、レシーバ(RX)へのプリント基板配線、および終端、差動モードでの各特性インピーダンスが10%以内に整合している必要があります。また、データとクロック信号の配線長も等しくしなければなりません。異なる長さのペアの導体により、同相モードにおける変調歪みと多くの放射が生じます。ペア信号の長さが異なると、レシーバ(RX)におけるデータの取り込みにも影響が出て、データの復元も問題となります。LVDS 信号のタイミングは、パラレルTTL 信号のタイミングより7倍も厳しい点をよく理解して下さい。ペア導体間での許容可能なスキューはクロック周波数に依存しますが、100ps ~ 350ps の範囲に収まっている必要があります(65MHz ~ 32.5MHz のデータレートに依存します)。なお、代表的な高性能ケーブル・システムである3M社のMini D Ribbon(MDR)のスキューは、1メートルあたりわずか30psと規定されています。フレキシブル基板での相互接続では、「トランスミッタ(TX)・コネクタ間インタフェース」の項で述べたような設計ガイドラインを採用して下さい。LVDS は同一電流源を使用した差動伝送方式として動作しますが、同相モードの電流帰還経路を確保するために、送信側と受信側で共通

のグラウンド接続が必要です。高速伝送向きではない他の方式とは違って、LVDSは同一電流源を使用した差動伝送方式として動作するため、大部分のLVDS負荷電流がベアの中でドライバに戻ります。もともと、電源またはグラウンドに帰還電流を戻すことで大きなリング状アンテナを形成するON/OFFタイプの差動ドライバと比べて、近接結合の差動ベアは小さなリング状のアンテナを形成するため、放射の面からは有利です。しかし、同相モードの電流帰還において、放射を少なく抑えるためには低インピーダンスで信号を接続することが求められます。通常、信号をベアで割り当てれば十分であり、DCRは単線の1/2となり目的を満たします。相互接続のシールド・グラウンドは、通常は両端のフレーム・グラウンドなど、安定したグラウンド基準に接続しなければなりません。FPDリンク(LVDS)は、フラット・ケーブル、ツイナックス・ケーブル、標準的なツイスト・ペア線などに適用可能です。アプリケーションによりますが、ケーブル長は、ケーブルの性能、バランス、スキューが要因となります。

コネクタ

ノートブックPCでのマザーボードからパネル間接続のような同一筐体内のアプリケーションでは、システムの構造上ケーブルで接続しているだけなので、通常コネクタ形状は小さくできます。そのような小さなコネクタは電気的にも小さく、集中負荷とはならないので、信号品質に悪影響を与えないという利点があります。

デスクトップPCと外部モニタを接続するアプリケーションのように、筐体間を接続する大きなコネクタは、電気的に大きくまた伝送線

路として見える可能性があるため、電気的條件は厳しくなります。市販品で、均一のインピーダンスを持ち、ピン間の電気的長さを合わせてスキューをなくした高性能コネクタが入手可能です。3M社のMDRは、そのようなケーブルとコネクタの要求仕様に合うケーブル・システムの1つです。MDRは、均一のインピーダンスを持ち、クロストークとスキューが小さい表面実装コネクタです(詳細については、付録の参考文献を参照して下さい)。その他、標準SCSIコネクタやDB15コネクタも、筐体間に使用されることがあります。

終端

終端抵抗は必ず使用して下さい。LVDSドライバは信号遷移が高速であるため、整合された終端を採用することにより、反射の発生を防ぎEMIを低減することができます。通常、レシーバ入力にできるだけ近い位置で、表面実装抵抗を信号ベアに橋渡すようにして終端します。このとき、レシーバ入力端から1/2インチ(12.7mm)以上離さないように配置します。終端抵抗がレシーバ入力から離れていると、抵抗からレシーバ入力までが伝送線路の振舞いを示すようになり、抵抗からレシーバ入力までが伝送線路の振舞いを示すようになり、レシーバ入力端で反射が起こる可能性が生じ、終端の意味をなしません。外付け抵抗を使用することにより、さまざまな媒体を使用できるようになります。なぜなら、特性インピーダンスは媒体によって異なるため、適切な終端抵抗値はアプリケーションごとに異なるからです。終端抵抗値は、媒体の定格差動インピーダンス(100Ω)の2%以内として下さい。プリント基板の実装エリアに制限がある場合は、フライバイ終端を使用しても構いません。両方の終端方法をFigure 5に示します。どちらの場合でも、スタブ長は最短として下さい。

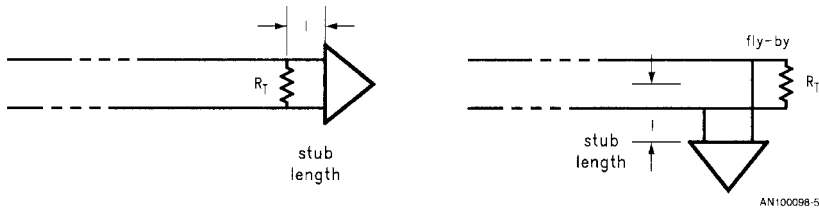


FIGURE 5. Termination Layout—Standard and Fly-By

Note: トランスミッタ(TX)出力とレシーバ(RX)入力間の相互接続全体は、高速伝送線路となります。出力ドライバのエッジ・レートは300ps ~ 700psの範囲です。トランスミッタ(TX)とコネクタ間のプリント基板配線、コネクタ、ケーブル媒体、コネクタからレシーバ(RX)までのプリント基板配線のすべてがシステムの構成要素です。それらの特性インピーダンスは、信号品質の維持と放射を抑制する目的から、10%以内で整合させる必要があります。アプリケーション(コネクタ・サイズ)に依存しますが、4から6箇所のインピーダンスを考慮しなければなりません。Figure 2では、Z_{OD1}、Z_{OD2}、Z_{OD3}、Z_{OD4}、Z_{OD5}、R_Tが該当します。また、基板や層の変化を最小にすることが、相互接続全体をできるだけ良好にすることにつながります。

レシーバ(RX)の機能

レシーバ(RX)デバイスは、トランスミッタ(TX)デバイスと、機能的に相補の関係にあります。レシーバ(RX)は、3または4対の高速シリアルLVDSデータ列を受け取り、ビット幅の広いTTLパラレルデータに復元します。デバイスによって異なりますが、RXから出力されるデータはR_{xcikOUT}の立ち上がりまたは立ち下がりでストロブされます。クロック・エッジは、部品型番の文字列中、「C」に続いた「R」(立ち上がり)または「F」(立ち下がり)で明記されています。レシーバ(RX)のLVDSデータ入力は、「R」または「F」のデバイスに関係なく、LVDSクロックの立ち上がりでストロブされます。また、パワーダウン・ピンもサポートされています。このピンを使用すると、PLLをシャットダウンし、レシーバ(RX)出力をパワーダウン時の状態またはLOW状態にロックします(デバイスにより異なりますので、データシートを参照して下さい)。このモードでは、表示の必要がないときに消費電力を節減できます。

プリント基板およびパネル側でのレシーバ(RX)の位置

レシーバ(RX)は、Figure 2に示すように、可能な限りインタフェース・コネクタの近くに配置して下さい。これにより、プリント基板上のLVDS配線長を短くできます(差動配線については、「トランスミッタ(TX)・コネクタ間インタフェース」の項を参照して下さい)。レシーバとタイミング・コントローラの配置関係には、とくに制限はありません。タイミング・コントローラとレシーバ間では、スキューと、それによって発生するタイミング・コントローラ入力でのセットアップまたはホールド・タイミングを確保するために、パラレルRGB信号は等長配線設計して下さい。

コネクタ - レシーバ (RX) 間インタフェース

「プリント基板上でのトランスミッタ (TX) の位置」の項で述べたように、コネクタと、終端抵抗およびレシーバ (RX) 入力間の LVDS 信号の配線は最短として下さい。また、TTL/CMOS レベルのシングルエンド・タイプの配線は、LVDS 信号と相互接続へのクロストークを最小限に抑えるため、異なる層に配線するが LVDS 信号から離して下さい。LVDS 信号とその他の信号を分離するために、両者の間にグラウンドのガード・パターンを走らせてもよいでしょう。LVDS データの歪みは、レシーバ端での同相モード除去により問題とはなりません。距離を取って分離する理由は、同相モード・ノイズ (EMI) を抑えるためです。差動配線を採用すると、差動データ転送におけるノイズ除去能力を向上できます。したがって、レシーバ (RX) の LVDS 入力 (およびトランスミッタ (TX) の出力) を差動配線にすることを推奨します。差動配線は、標準的なプリント基板配線とわずかに異なるだけです。すなわち、差動ペアを構成する 2 つの信号の配線の距離が最小になるように考慮します。この距離は、信号ペアの差動モードの特性インピーダンスと、システムの差動ノイズ・マージンおよび不要放射に関係するため、正確に保つことが必要です。通常の配線は、インピーダンスを 50Ω として設計されます。2 本の信号の距離をあけて配線すると、差動モードの特性インピーダンスはシングルエンドの場合の 2 倍となりますが、差動信号としては効果がなくノイズ除去性能が得られません。差動ノイズ除去性能を最大とするには、差動ペア間の配線間隔を最小にしなければなりません (差動ノイズ・マージンとは、最小信号振幅からレシーバ・スレッショルドの最大値を引いた値です (250mV - 100mV = 150mV))。信号ペアを最小間隔で配線すると、外部からのノイズは、同相モード・ノイズとしてレシーバで除去可能になります。配線インピーダンスを調整するには、まずパラメータ "S" を最小配線間隔として、配線幅で所望のインピーダンスに合わせます (計算方法については、弊社のアプリケーション・ノート AN-905 を参照して下さい)。隣り合った LVDS 差動ペア同士の距離は、「2S」以上として下さい。LVDS 信号と振幅の大きな TTL または CMOS 信号は、「3S」以上の距離を保つが異なる信号層に配線して下さい。また、LVDS 信号の配線長は、トランスミッタ (TX) とレシーバ (RX) 間で発生するスキューを最小限に抑えるため、等長として下さい (Figure 2 を参照)。

レシーバ (RX) のグラウンドと電源

レシーバ (RX) は高速で高性能なデバイスです。デバイスは、クロック周波数 f で動作する PLL 回路を内蔵し、数百 Mbps のオーダーでトグルする LVDS データを受信します。そのため、このデバイスには安定したグラウンドと電源の供給が求められます。 V_{CC} ノイズは 100mV_{pp} を超えてはなりません。安定した電源とグラウンド基準を得るためには、少なくとも 4 層基板を推奨します。両面 2 層基板またはフレキシブル基板は推奨しません。EMI 放射の対策も、まずは安定したグラウンドと電源を得ることから始まります。

レシーバ (RX) の電源バイパス

レシーバ (RX) には、3 系統の V_{CC} (電源) とグラウンドがあります。それぞれデジタル回路用、LVDS レシーバ用、PLL 用です。電源ノイズを 100mV_{pp} 以下に抑えるためには、デバイス近傍に電源バイパスを設ける必要があります。バイパス・コンデンサは、細い配線の末端に配置するのではなく、可能な限りデバイス・ピンの近くに隣接して接続します。また、4.7μF ~ 10μF 程度の大きめのコンデンサも近傍に置きます。バイパス・コンデンサは、電源とグラウンドそれぞれに対して複数 (2 個を推奨) のスルー・ホールを設けた、幅広い配線で接続するようにして下さい。理想的には、各電源ピンに 0.1μF、0.01μF、0.001μF の 3 つのコンデンサを並列で用いるようにします。複数のコンデンサを並列にして用いると、広い周波数帯にわたってノイズを吸収でき、ESR (透過直列抵抗) を低減し、さらに高い周波数での低インピーダンス化を実現できます。実装面積が限られている場合でも、最も低ノイズが要求される PLL 用電源/グラウンドのバイパス・コンデンサを省略してはなりません。コンデンサ部品としては、インダクタンス分が最も少なく、またデバイス・ピンの近くに実装できるという理由で、0805 型または 1206 型の表面実装チップコンデンサを推奨します。この場合、寄生インダクタンスは 1.5nH ~ 2nH の範囲となります。一方、細い配線の末端にコンデンサを配置した場合は、インダクタンス分は 15nH にもなってしまいます。

レシーバ (RX) - タイミング・コントローラ間インタフェース

レシーバ (RX) とタイミング・コントローラ間の接続には、標準的なプリント基板設計技術を適用して下さい。データ (R、G、B) 制御信号、クロック信号は、クロックとデータ間のスキューを抑えるためにすべて等長配線として下さい。とくに、クロック信号は信号波形品質が問題となります。配線では、不要なスルー・ホールや急な角度での曲げ、およびその他のインピーダンス不整合を避けて下さい。クロック信号は、ポイント・ツー・ポイントでの配線が波形品質の維持には最適です。

カラー・ビットの推奨マッピング

推奨のカラー・ビット・マッピングを Table 1 および Table 2 に、またタイミング図を Figure 6 に示します。Table 1 では、8 ビット・カラー・マッピングにおける、RGB ビット番号、トランスミッタ (TX) の入力ピン名とピン番号、およびレシーバ (RX) の出力ピン名とピン番号を示しています。これは、DS90C383/A と DS90CF384 (56 ピン TSSOP パッケージ) での推奨マッピングです。Table 2 では、6 ビット・カラー・マッピングでの同様の情報を示しています。これは、DS90C363/A と DS90CF364 (48 ピン TSSOP パッケージ) での推奨マッピングです。この推奨マッピングは、8 ビット・カラーのトランスミッタ (TX) と 6 ビット・カラーのレシーバ (RX) との相互作用にも対応しています。すなわち、8 ビット・グラフィックスにおける増加分のカラー・ビットは、LVDS データの LSB であるチャネル 3 (TxOUT3 + および TxOUT3 -) に割り当てています。

TABLE 1. Recommended 8-Bit Color Mapping (for 56L Devices)

Color Bit	TX Input Name	TX Pin Number	RX Input Name	RX Pin Number
R0-LSB+2	TxIN0	51	RxOUT0	27
R1	TxIN1	52	RxOUT1	29
R2	TxIN2	54	RxOUT2	30
R3	TxIN3	55	RxOUT3	32
R4	TxIN4	56	RxOUT4	33
R5-MSB	TxIN6	3	RxOUT6	35
R6-LSB	TxIN27	50	RxOUT27	7

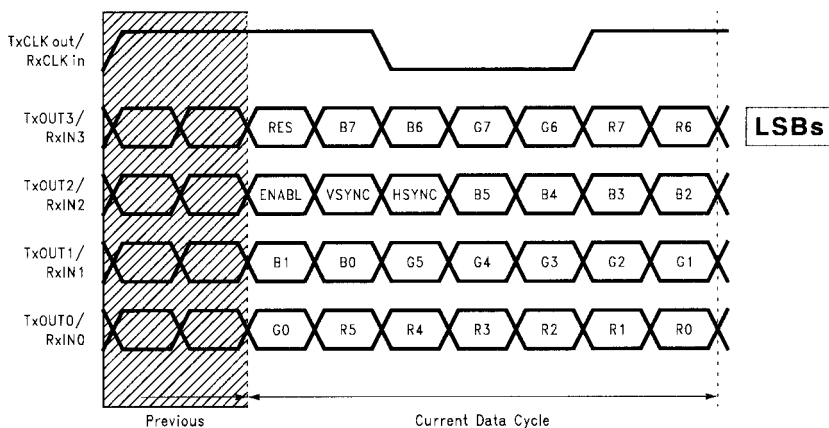
TABLE 1. Recommended 8-Bit Color Mapping (for 56L Devices) (Continued)

Color Bit	TX Input Name	TX Pin Number	RX Input Name	RX Pin Number
R7-LSB+1	TxIN5	2	RxOUT5	34
G0-LSB+2	TxIN7	4	RxOUT7	37
G1	TxIN8	6	RxOUT8	38
G2	TxIN9	7	RxOUT9	39
G3	TxIN12	11	RxOUT12	43
G4	TxIN13	12	RxOUT13	45
G5-MSB	TxIN14	14	RxOUT14	46
G6-LSB	TxIN10	8	RxOUT10	41
G7-LSB+1	TxIN11	10	RxOUT11	42
B0-LSB+2	TxIN15	15	RxOUT15	47
B1	TxIN18	19	RxOUT18	51
B2	TxIN19	20	RxOUT19	53
B3	TxIN20	22	RxOUT20	54
B4	TxIN21	23	RxOUT21	55
B5-MSB	TxIN22	24	RxOUT22	1
B6-LSB	TxIN16	16	RxOUT16	49
B7-LSB+1	TxIN17	18	RxOUT17	50
ENABL	TxIN26	30	RxOUT26	6
VSYNC	TxIN25	28	RxOUT25	5
HSYNC	TxIN24	27	RxOUT24	3
RESERVED	TxIN23 (Note 1)	25	RxOUT23	2

Note 1: TxINPUT23 は、使用しない場合にはグラウンドに接続してください。

TABLE 2. Recommended 6-Bit Color Mapping (for 48L Devices)

Color Bit	TX Input Name	TX Pin Number	RX Input Name	RX Pin Number
R0-LSB	TxIN0	44	RxOUT0	24
R1	TxIN1	45	RxOUT1	26
R2	TxIN2	47	RxOUT2	27
R3	TxIN3	48	RxOUT3	29
R4	TxIN4	1	RxOUT4	30
R5-MSB	TxIN5	3	RxOUT5	31
G0-LSB	TxIN6	4	RxOUT6	33
G1	TxIN7	6	RxOUT7	34
G2	TxIN8	7	RxOUT8	35
G3	TxIN9	9	RxOUT9	37
G4	TxIN10	10	RxOUT10	39
G5-MSB	TxIN11	12	RxOUT11	40
B0-LSB	TxIN12	13	RxOUT12	41
B1	TxIN13	15	RxOUT13	43
B2	TxIN14	16	RxOUT14	45
B3	TxIN15	18	RxOUT15	46
B4	TxIN16	19	RxOUT16	47
B5-MSB	TxIN17	20	RxOUT17	1
ENABL	TxIN20	25	RxOUT20	5
VSYNC	TxIN19	23	RxOUT19	4
HSYNC	TxIN18	22	RxOUT18	2



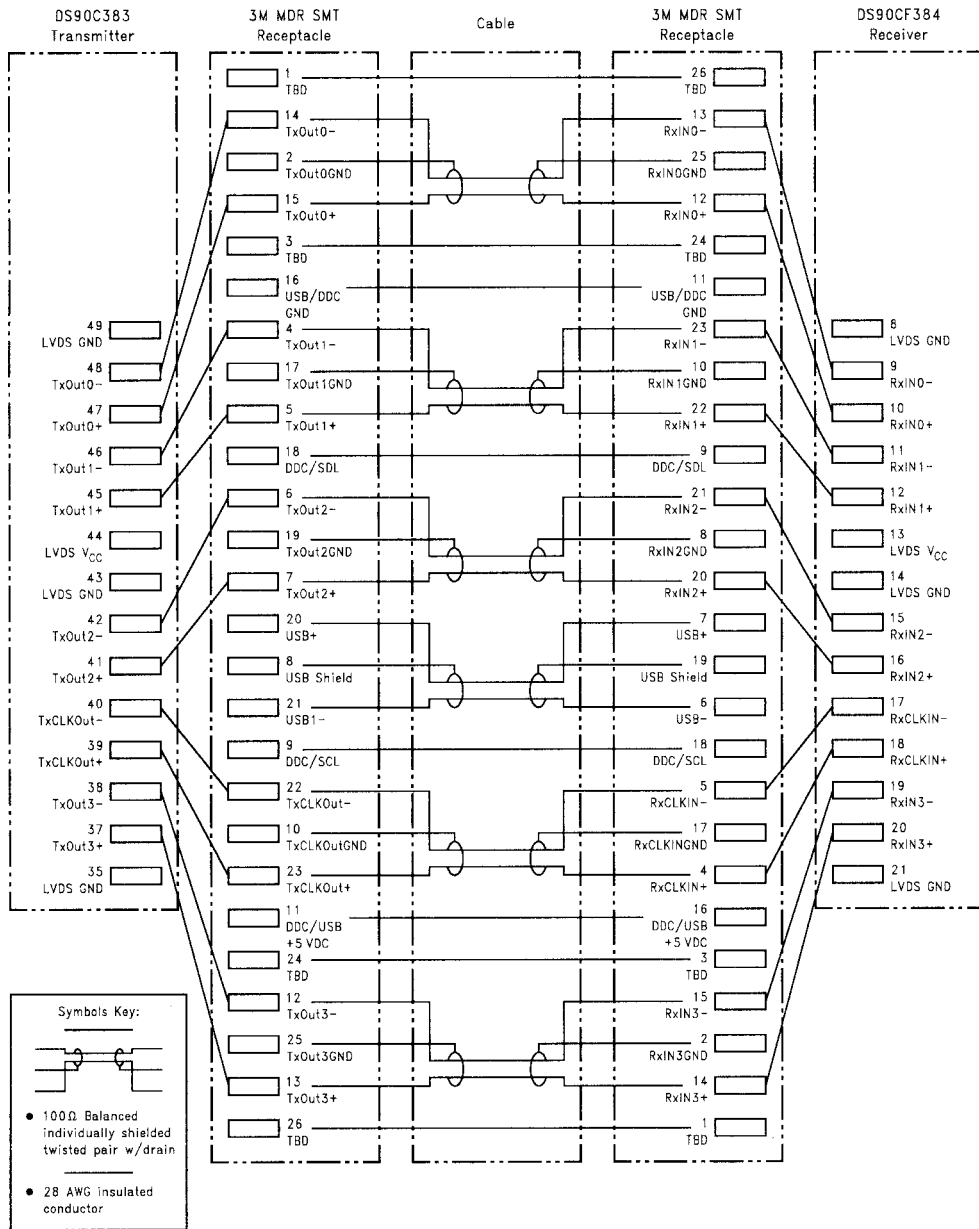
AN100098-6

FIGURE 6. Recommended Color Bit Mapping

推奨コネクタ・ピン配置

モニタを外付けとするアプリケーションにおいて、PCシステム本体はあるメーカーのものを使用し、フラット・パネル・ディスプレイは別のメーカーのものを使用する場合、互換性を維持するために標準のコネクタ（物理的仕様とピン配置）と、それに対応した標準のカラー・ビット・マッピングを用いる必要があります。前述のように、3M社のMDR高速差動伝送線路システムが、スキュー、インピーダンス、ケーブル長（10m）の点から見たコネクタという意味で、そのようなアプリケーションには理想的なケーブルです。この26ピンのコネクタは、6ビット

ト・カラーおよび8ビット・カラーをサポートするFPDリンク・デジタル・インタフェースの標準になりつつあります。DDC/SDLとUSBも電源/グラウンド込みでサポートでき、さらに数本の予備を含めた接点数を持っています。Figure 7に示すこのピン割り当ては、3M社のバージョン9.3 MDR ケーブル・アセンブリ 14526-EZ8B-XXX-07Cシリーズのマニュアルから引用しています。また、28ピンのコネクタと、アプリケーションに依存しますが標準的なツイスト・ペア線からツイナックス・ケーブルまでのさまざまなケーブル媒体を規定した標準化作業も推進されています。



AN100098-7

FIGURE 7. 26-Pin MDR Pinout

まとめ

FPD リンク・デバイスでは、転送エラーをなくし、かつ放射を少なくするために、高速プリント基板および高速相互接続の設計手法を用いて下さい。相互接続は、LVDS のエッジ・レートが高速（TYP 値で

500ps）であるため、伝送線路となります。また、放射の低減とレシーバ(RX) 端での正しいデータ復元のために、厳密なスキュー調整が求められます。相互接続およびケーブルにおける反射の発生を抑えるために、10% 以内でのインピーダンス整合を推奨します。

LVDS および FPD リンク・アプリケーション向けプリント基板の推奨設計方法

LVDS 信号は高速なエッジ・レートを有するため、トランスミッタ (TX) とレシーバ (RX) 間の相互接続は伝送線路として働きます。したがって、相互接続を構成するプリント基板の配線は、十分な注意を払って設計する必要があります。次に示す一般的なガイドラインを必ず守るようにして下さい。

- 配線は手動で行うか、自動配線の場合は配線結果に対して十分な検討を行って下さい。
- プリント基板が分離するアプリケーションでは、プリント基板上の配線を最短とするために、トランスミッタ (TX) とレシーバ (RX) をコネクタの近傍に配置して下さい。
- 配線は、差動インピーダンスを考慮して設計して下さい (配線間隔を考慮する必要があります) 差動インピーダンスの計算式については、アプリケーション・ノート AN-905 を参照して下さい。
- 同相モード除去性能を最大にするために、差動ペアの配線間隔は最小として下さい。
- 隣接している LVDS ペア間の配線間隔は、ペア同士の配線間隔の少なくとも 2 倍 ("2S" 以上) として下さい。
- TTL/CMOS 信号 (dV の大きな信号) は、LVDS 信号から、ペア同士の配線間隔の少なくとも 3 倍 ("3S" 以上) 離すか異なる配線層を使用して下さい。
- LVDS 信号間の電気的長さを合わせます。
- スタブ長は可能な限り短くします。
- グラウンド層のパターンには、グラウンドを分割するようなスロットは設けしないで下さい。
- LVDS 信号の配線では、90°の曲がりは避けて下さい (2 回の 45°の曲がりに分けるなど)。
- LVDS 信号の配線では、スルーホールを減らして下さい。
- 差動ペアの両配線は平衡を維持するために負荷を等しくして下さい。
- ケーブルを用いるアプリケーションでは、反射 (および放射) を抑えるために、プリント基板配線、コネクタ、媒体 (ケーブル) 終端までのインピーダンスを整合させて下さい (通常は、差動モード・インピーダンス 100Ω)。

- 終端抵抗値は、相互接続の差動モード特性インピーダンスの 2% 範囲内で選択して下さい。
- 終端抵抗は、フライ・バイ終端方式でない場合、レシーバ入力端から 1/2 インチ (12.7mm) 以内に配置して下さい。
- バイパス・コンデンサと終端抵抗は、寄生インダクタンス分と寄生容量分を低減するため、表面実装部品を使用して下さい。
- 少なくとも 4 層基板を使用して下さい。
- すべての LVDS デバイスは、各電源ピン (V_{CC} , LVDS V_{CC} , PLL V_{CC}) にコンデンサ (0.1μF + 0.01μF + 0.001μF) を並列に接続して、電源のバイパスを行って下さい (大きめのコンデンサも近傍に併用)。

付録

ナショナル セミコンダクター社提供の FPD リンクおよび LVDS アプリケーション・ノート

- AN 番号 トピック
- AN-1032 FPD リンクについての概要
 - AN-1035 PCB 推奨設計
 - AN-1056 STN パネル・アプリケーション
 - AN-1059 スキュー およびジッタの計算
 - AN-1084 並列リンク
 - AN-905 差動インピーダンスの計算

関連アプリケーション・ノート

- 3M 社高速 LVDS 関連情報
- MDR, High Performance Digital Data Transmission System - 26 to 26 Pos., 14526-EZ8B-XXX-07C シリーズ製品情報
 - Surface Mount Right Angle Receptacle - Shielded, 10226-1210VE シリーズ製品情報
 - 3M Tech Paper: "Selecting the 'Right' Right Angle Interconnects: Surface Mount vs Through-hole" by Francis G. Hart 3M Electronics products Division, Austin, Texas; Kay Tohyama, Yamagata 3M Limited, Yamagata, Japan.

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL. (03) 5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

<http://www.national.com/JPN>

その他お問い合わせはフリーダイヤルをご利用ください。

 0120-666-116