

由DP83843至 DP83848C/I/YB PHYTER系统的滚动支持文件 用途

本文详细提供了把基于美国国家半导体公司的以太网物理层 (PHY) 器件DP83843的10/100Mb/s以太网产品设计升级至基于全新的DP83848 PHYTER™的产品而应该考虑的要点信息。尽管这些器件的基本功能相近, 但具体差别仍然包括特性设置、引脚功能、封装、插脚引线, 可能还有寄存器操作。对设计的影响则依赖于如何利用和实现先前的器件的具体特性。

1.0 需要的改变

该部分说明转换至DP83848C/I/YB所需要的硬件变化。一共有三种较小的电路改变, 这些改变对于正确的器件工作而言是必需的。

1.1 封装

DP83848C/I/YB 使用 48LQFP 封装。DP83848C/I/YB和DP83843封装的区别如表1所示。关于48LQFP 封装更多的信息请访问 <http://www.national.com/packaging/folders/vbh48a.html>。

表1.封装的差别

	DP83848C/I/YB	DP83843
封装	48-LQFP	80-PQFP
尺寸	7x7mm	14x14mm
封装形式	VBH48A	VJE80A

1.2 插脚引线

DP83843有80条引脚, 同时DP83848C/I/YB有48条引脚。附录 A提供的引脚列表中包括了在DP83848C/I/YB中未使用的引脚, 以及从DP83843升级至DP83848C/I/YB的引脚排列图。

1.3 PCB 修改

该部分描述了, 如果需要在类似DP83843的PCB中使用DP83848C/I/YB, 则必须对电路设计做修改。

1.3.1 PFBOUT

并联电容 (10uF 钽电容和0.1uF电容) 在DP83848C/I/YB中应该靠近引脚23 (稳压器输出端

美国国家半导体公司
应用注释1506
Suganya Sankaran
2006年6月



PFBIN1) 和引脚37 (PFBIN2) 应该外接到引脚23, 如图1所示。一颗0.1uF电容应该贴近引脚18和37放置。而DP83843则不需要类似的连接。

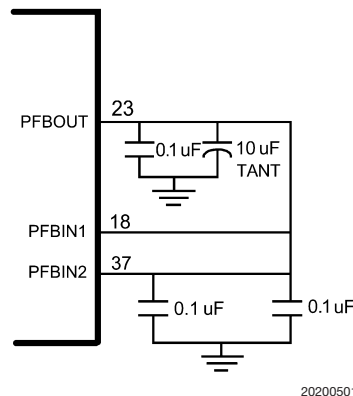


图1.在DP83848C/I/YB中的特殊连接

1.3.2 偏置电阻

DP83848C/I/YB同以前的器件相比内部电路偏置已经发生变化。

表2.偏置电阻值

	DP83848C/I/YB	DP83843
偏置电阻值	4.87K Ohm	9.31K Ohm
TWREF	n/a	70K Ohm

1.3.3 终接和PMD偏置

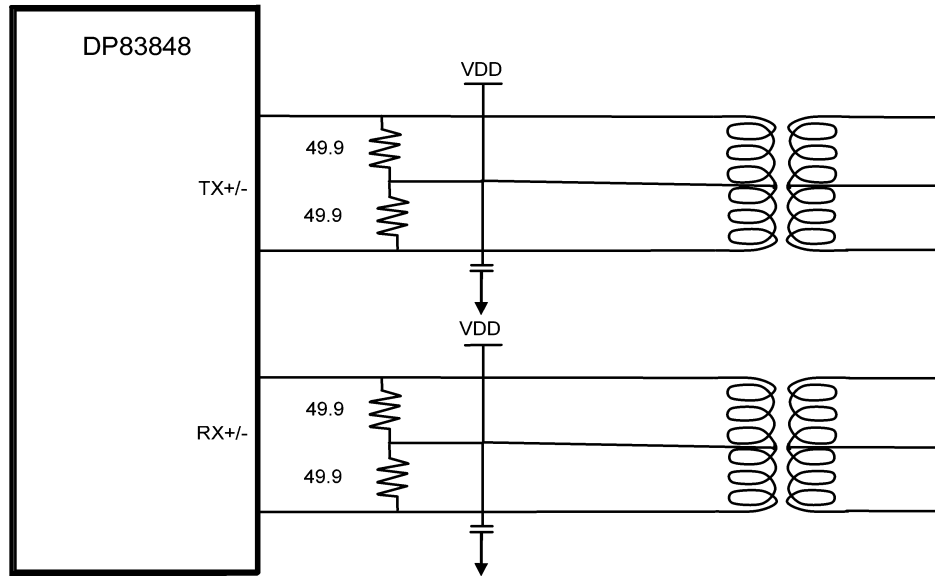
在DP83843上的PMD发送和接收对 (TPTD+/-和TPRD+/-) 终接是由一对49.9 Ohms电阻和对地的交流偏置组成。由终接并联于内部的发送和接收电路视入的等效阻抗值为100 Ohm。在DP83848C/I/YB中内部接收电路已经改变, 现在需要一对49.9 Ohms的电阻, 接到器件的VDD来偏置。

1.0 需要的改变

表3.终接和偏置的差别

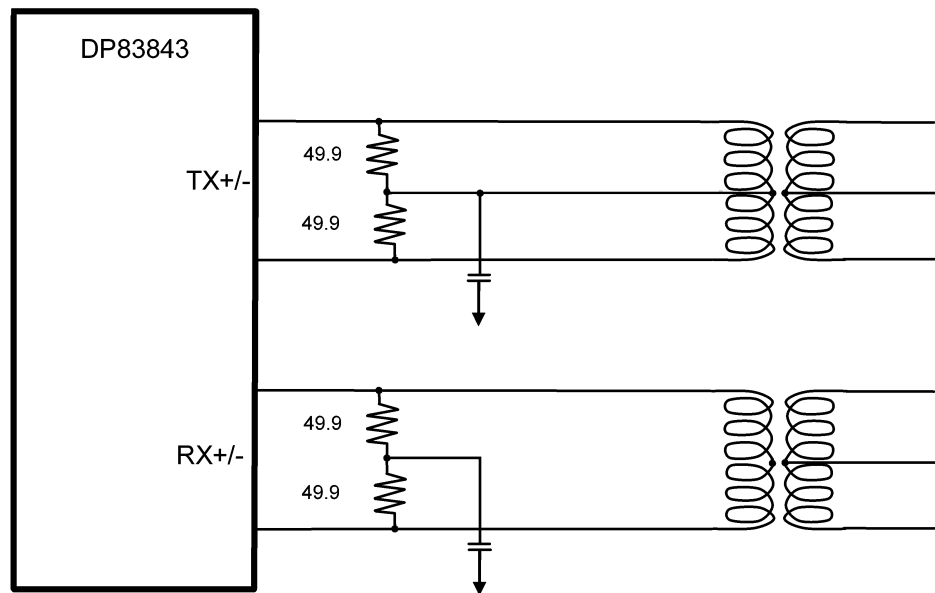
	DP83848C/I/YB	DP83843
发送终接	49.9 Ohms	49.9 Ohms
发送偏置	3.3V	交流对地
接收终接	49.9 Ohms	49.9 Ohms
接收偏置	3.3V	交流对地

请参考下列图形获得具体的图示解释。



20200505

图2.DP83848C/I/YB的PMD连接（终接和偏置）



20200506

图3.DP83843的PMD连接（终接和偏置）

2.0 潜在的改变

下一节描述在DP83848C/I/YB中根据实际的应用所作的特定变化。

2.1 TX_ER

DP83843较早的应用设计可以使用TX_ER引脚。在信号中插入坏符号码使得系统介质访问控制层(MAC)强制DP83843故意破坏发送数据包。通过MAC给物理层发信号使之停止发送中间包也可以实现类似的功能。如果中间包停止发送,接收结点会将数据包看成是一个坏的CRC码。上一层能决定接收或者拒绝处于问题中的数据包。既然在TX_ER引脚上用第二种方法更易于实现这个功能,在DP83848C/I/YB上就没有包含TX_ER引脚。如果TX_ER引脚被用做相对于其他器件的输入端,则应该下拉控制该引脚以确保其不处于悬浮状态。

2.2 MII 接口

MII接口用在10/100Mbps系统中连接PHY层至MAC层。对于一个5V的MII应用,建议在MAC层和DP83848C/I/YB之间使用33 Ohm的串联电阻。MII接口是一个半字节宽接口,包含了发送接口、接收接口和控制信号。发送接口由下列信号组成:

- 发送数据总线, TXD[0:3](在DP83848C/I/YB中引脚 3, 4, 5和6)
- 发送使能信号, TX_EN (在DP83848C/I/YB中引脚 2)
- 发送时钟, TX_CLK (在DP83848C/I/YB中引脚 1)在10 Mbps模式下运行速率为2.5MHz, 在100 Mbps模式下运行速率为25MHz。

接收接口由下列信号组成:

- 接收数据总线, RXD[0:3] (在DP83848C/I/YB中引脚 43, 44, 45和46)
- 接收错误信号, RX_ER (在DP83848C/I/YB中引脚 41)

- 接收时钟有效, RX_DV (在DP83848C/I/YB中引脚 39)
- 接收时钟, RX_CLK (在DP83848C/I/YB中引脚 38)对于同步数据传输在10Mbps模式下运行速率为2.5MHz, 在100 Mbps模式下运行速率为25MHz。

2.3 物理层地址

在给定的系统中,多层PHY可以通过一个单独的MII管理接口来控制。为了支持这个功能,每个PHY必须有唯一的地址。DP83848C/I/YB通过PHY地址带选项来实现地址分配。

在DP83848C/I/YB中, RXD0:3和COL用于设定PHY地址。当DP83848C/I/YB需要外部10k Ohm的上拉或者下拉电阻来设定PHY地址时,引脚COL有一个较弱的内部上拉设置,和RXD0:3在DP83848C/I/YB中有一个较弱的内部下拉设置。因而,在DP83848C/I/YB中默认设定的PHY地址是01h。外部2.2K Ohm的上拉电阻和下拉电阻可以加入改变PHY的默认地址。

2.4 流量控制

在DP83843中,引脚RX_ER可以接低电平来显示全双工流量控制支持,否则保持悬浮状态。因为流量控制是MAC层的一个功能,为了在DP83848C/I/YB中显示全双工流量控制支持,MAC层必须在ANAR寄存器中设定好相应的位。

2.5 物理层ID寄存器

物理层标识(PHYID)寄存器允许系统软件可根据供应商的产品型号来确定器件特定软件的适用性。供应商的产品型号是在PHYIDR2中由第9位至4位来表示。在DP83848C/I/YB中供应商的产品型号是001001b。在DP83843,供应供应商的产品型号是000001b。

表4.寄存器随供应商的产品型号的变化

寄存器地址	寄存器名称	寄存器说明	器件	
			DP83848C/I/YB	DP83843
十六进制 03h	PHYIDR2	PHY ID 2	5C90h	5C10h

3.0 信息的变化

该部分描述了在DP83848C/I/YB中提供的新特性和实现它们所需的改变。

表5.DP83848C/I/YB的新特性

	DP83848C/I/YB	DP83843
系统_接口		
RMII	是	否
SNI	是	否
JTAG	DP83848I和DP83848YB适用	否
自动MDIX	是	否
能量检测	是	否
LED输出	3	6
CLK至MAC输出	是	否
电源关闭/中断	是	否
温度范围		
0_至_70° C	是	是
-40_至_85° C	DP83848I适用	否
-40_至_125° C	DP83848YB适用	否
电源消耗		
有源功耗 (典型值)	264mW	675mW

3.1 自动协商和LED引脚

DP83843将AN1和AN0 (引脚3和引脚4) 用于自动协商机制。另外, 引脚38至42和引脚5用于显示双工、连接、接收和发送、连接、冲突和速度状态。DP83848C/I/YB只有三个引脚供自动协商功能和LED状态显示复用。引脚26有复用功能, 结合自动协商使能则

可以显示活动和冲突状态。引脚28显示连接状态和控制DP83848C/I/YB的通告和强制模式 (AN0)。引脚27显示速度状态和控制DP83848C/I/YB的通告和强制模式 (AN1)。DP83848C/I/YB没有单独的引脚来显示发送和接收传输状态。

表6.显示自动协商和LED的DP83848C/I/YB引脚

DP83848C/I/YB引脚编号	自动协商功能	LED功能连接状态
26	自动协商使能	传输和冲突状态
27	控制通告和强制模式 (AN1)	速度状态
28	控制通告和强制模式 (AN0)	连接状态

表7.DP83848C/I/YB的自动协商模式

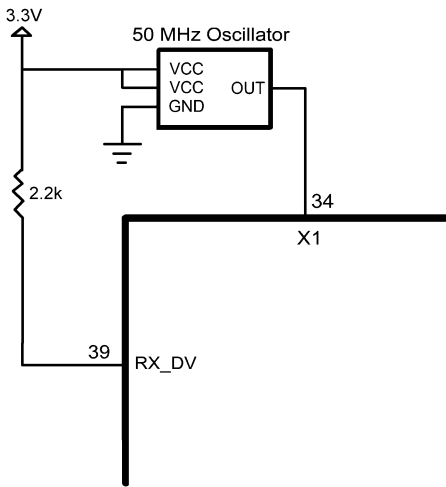
AN_EN	AN0	AN1	强制模式
0	0	0	10Base-T,半双工
0	0	1	10Base-T,全双工
0	1	0	100Base-TX,半双工
0	1	1	100Base-TX,全双工
AN_EN	AN0	AN1	通告模式
1	0	0	10Base-T,半/全双工
1	0	1	100Base-TX,半/全双工
1	1	0	10Base-T,半/全双工 100Base-TX,半/全双工
1	1	1	10Base-T,半/全双工 100Base-TX,半/全双工

3.0 信息的变化 (续)

3.2 RMII接口

可用降低了引脚数目的RMII接口在10/100Mbps系统中连接MAC层至PHY层。利用该特性,可以显著地节省系统的PCB空间,特别是对于带有大量的物理层器件的系统。

DP83848C/I/YB使用一个外部的50MHz时钟(X1)在RMII模式下作为发送和接收的基准。时钟是由一个外部的振荡器提供。RX_DV端应使用一个2.2KOhm电阻上拉以使能RMII模式。



20200502

图4.在DP83848C/I/YB中的RMII选择

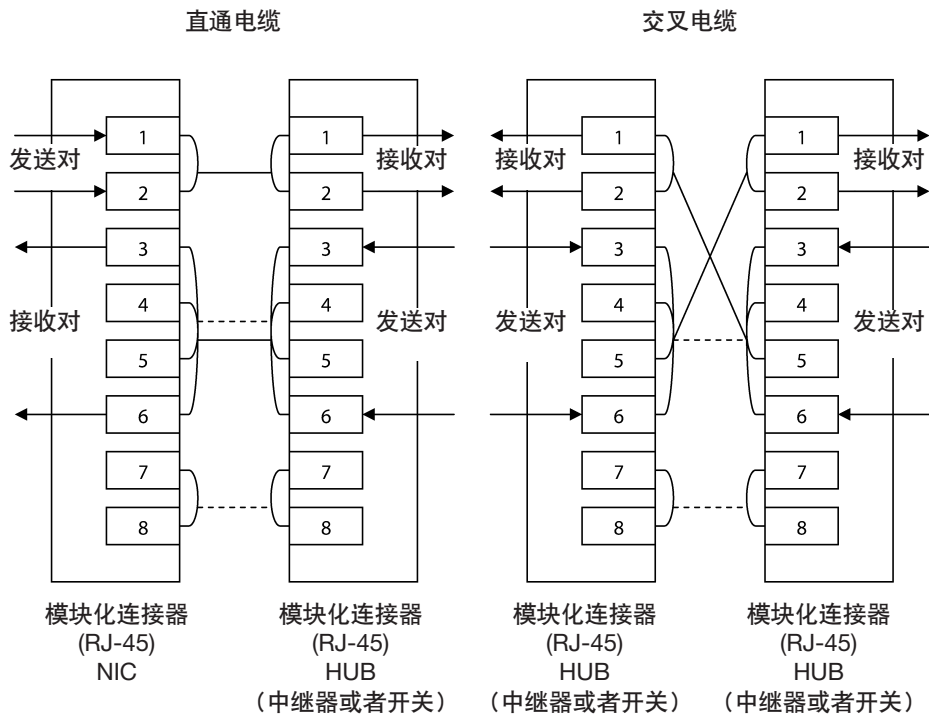
3.3 SNI模式

DP83848C/I/YB带有一个10Mb串行网络接口(SNI)从而为只有10Mb带宽的系统提供了一个简单的数据接口。它是基于早期的美国国家半导体公司的10Mb物理层器件。下列引脚在SNI模式下使用:

- TX_CLK
- TX_EN
- TXD_0
- RX_CLK
- RXD_0
- CRS
- COL

3.4 自动MDIX设定

自动MDIX允许使用直通或者交叉电缆而无需改变系统的结构,从而消除了电缆的复杂性,并简化了终端用户的应用。在DP83848C/I/YB中默认自动MDIX处于使能状态。引脚41(RX_ER)通过一个2.2KOhm的电阻下拉到地端。一旦使能之后,该功能利用自动协商机制来为数据的发送和接收确定正确的结构,随后为MDI/MDIX运行选择合适的MDI对。



20200504

图5.在DP83848C/I/YB中的自动MDIX运行

3.0 信息的变化 (续)

3.5 能量检测

基于对电缆上信号的检测,能量检测有助于灵活和自动的电源管理。使得应用在一定时间内只需使用绝对少量的功率。能量检测的功能是通过能量检测控制寄存器(EDCR)来控制的,地址为0x1Dh。当能量检测模式被使能以及电缆上没有传输活动时,DP83848C/I/YB将在监测传输线的接收对的同时继续保持在低功率模式。传输线上传输活动将会导致DP83848C/I/YB返回到正常的电源模式。

3.6 CLK_至_MAC输出

DP83848C/I/YB提供的时钟输出能够被直接送到

MAC层并作为MAC的参考时钟,这样可以节省添加额外MAC时钟源的需求,因此能节约空间和成本。

在MII模式下,时钟输出为25MHz,而在RMII模式下,时钟输出则为50MHz。

3.7 电源关闭/中断

DP83848C/I/YB提供一个单独引脚,根据MISR和MICR寄存器定义的关键值来显示中断信号。在DP83848C/I/YB中,设定PWR_DOWN/INT引脚(引脚7)低电平可以将器件置于电源关闭状态。在中断模式下,该引脚是一个漏极开路输出,当发生中断情况时该引脚被置于低电平。建议使用一个外部的上拉电阻来正确地执行该功能。

附录A

表8.引脚图

DP83848C/I/YB 信号名称	DP83848C/I/YB 引脚编号	DP83843 引脚编号	说明
MII接口引脚			
MDC	31	35	MGMT数据时钟
MDIO	30	34	MGMT数据I/O
RXD0:3/PHYAD1:4	43,44,45,46	15,14, 13,12	MII接收端数据
RX_CLK	38	18	MII接收端时钟
RX_ER/MDIX_EN	41	19	MII接收端错误
RX_DV/MII_MODE	39	20	MII接收端数据有效
RX_EN	na	23	MII接收端使能
TXD0:3	3,4,5,6	31,30,29,28	MII发送端数据
TX_CLK	1	24	MII发送端时钟
TX_EN	2	33	MII发送端使能
TX_ER	n/a	25	MII发送端错误
COL/PHYAD0	42	21	MII COL检测
CRS/LED_CFG	40	61	MII载波感测
PMD接口引脚			
RD-/+	13,14	65,67	接收端数据
TD-/+	16,17	73,74	发送端数据
FXRD-/+_AUIRD-/+	n/a	49,50	100FX或10AUIRD数据
FXRD-/+_AUIRD-/+	n/a	44,43	100FX或10AUIRD数据
FXRD-/+_AUIRD-/+	n/a	47,48	SIGDET或AUICOLDET
时钟接口引脚			
X1	34	9	XTAL/OSC输入
X2	33	8	XTAL输出
LED接口引脚			
LED_ACT/COL/AN_EN	26	42	COLLED状态
LED_ACT/COL/AN_EN	26	38	双工LED状态
LED_LINK/AN_0	28	39	连接LED状态
LED_SPEED/AN_1	27	5	速度LED状态
LED_ACT/COL/AN_EN	26	n/a	活动LED状态
LED_RX/PHYAD4	n/a	40	接收活动LED
LED_TX/PHYAD3	n/a	41	发送活动LED
重置功能引脚			
RESET_N	29	1	重置
初始化状态选择引脚			
PHYAD0:4	42,43,44,45,46	42,41,40,39,38	物理层地址
MDIX_EN/RX_ER	41	n/a	自动MDIX使能
MII_MODE/RX_DV	39	n/a	MII模式选择
SNI_MODE/TXD3	6	n/a	MII模式选择
LED_CFG/CRS	40	n/a	LED配置
PAUSE_EN/RX_ER	n/a	n/a	暂停使能
SERIAL 10	n/a	69	10SERIAL/NIBB
FXEN/COL	n/a	21	光纤使能
SYMBOL/CRS	n/a	22	符号模式
THIN/REPEATER	n/a	63	细缆AUI/中继器
BiasFunctionPins			
RBIAS	24	61	偏置RES连接
C1	n/a	n/a	参考旁路电容

附录A (续)

表8.引脚图(续)

DP83848C/I/YB 信号名称	DP83848C/I/YB 引脚编号	DP83843 引脚编号	说明
TAR100	n/a	78	100TXAMPREF控制
TWREF	n/a	60	双绞REF电阻
VCM_CAP	n/a	66	共模旁路电容
测试模式引脚			
AN_0/LED_LINK	28	25	测试模式选择
AN_1/LED_SPEED	27	26	测试模式选择
AN_EN/LED_ACT/COL	26	27	测试模式选择
特殊功能引脚			
25MHz_OUT	25	n/a	25MHz时钟输出
PWR_DOWN/INT	7	n/a	电源关闭/初始化
PFBIN1:2	18,37	n/a	电源反馈输入
PFBOUT	23	n/a	电源反馈输出
电源引脚			
VDD	22,32,48	6,10,16, 26,36,46, 52,54,68, 72,76,79	3.3V(DP83843为5.0V)
GND	15,19,35,36,47	7,11,17,27, 32,37,45, 51,53,57, 64,70,71, 75,77,80	接地端
保留引脚			
RESERVED	8,9,10,11,12,20	2,55,56, 58,59,62	保留(当DP83843时不接)

附录B

该部分涵盖了将DP83848C/I/YB和DP83843中的寄存器用于软件配置的具体区别。

寄存器的区别

美国国家半导体公司物理层器件的所有IEEE专用寄存器都遵守各自的IEEE标准。供应商的特定寄存器所具有的功能因器件而异。如果供应商的特定寄存器没有经过修改，对于系统应用而言器件具有相似的操作。在设计读取或者调整其中任何可选寄存器时，系统通过使用PHY_ID寄存器偏移03h，来检测正在使用的是哪一个器件并对器件寄存器的设定作出合适的变化。在其他寄存器

中也可以应用供应商定义的寄存器的特定功能，或者应用同样寄存器位置中的不同的位。关于更多的信息或者更多的特别定义，请参考应用数据手册。

DP83848C 数据手册 - <http://www.national.com/pf/DP/DP83848C.html>
 DP83848I 数据手册 - <http://www.national.com/pf/DP/DP83848I.html>
 DP83848YB 数据手册 - <http://www.national.com/pf/DP/DP83848YB.html>
 DP83843 数据手册 - <http://www.national.com/pf/DP/DP83843.html>

表9.寄存器的位定义

寄存器地址	寄存器名称	寄存器说明	器件	
			DP83848C/I/YB	DP83843
Hex			5C90h	5C23h
03h	PHYIDR2	物理层标识 2		
04h	ANAR	自动协商通告	Bit 11 - ASM_DIR	Bit 11 - Res
05h	ANLPAR	自动协商连接方能力	Bit 11 - ASM_DIR	Bit 10 and 11 - Res
			Bit 10 - Pause	
10h	PHYSTS	物理状态	Register changes (See datasheet)	Register changes (See datasheet)
11h	MICR	MII 中断控制	Bit 2 - TINT	Bit 2 - Res
12h	MISR	MII 中断状态	Register changes (See datasheet)	Register changes (See datasheet)
13h	DCR	断开计数器	Res	The 16 bit disconnect counter increments for each isolate event
14h	FCSCR	错误的载波感测计数器	Bit 15:8 - Res	Bit 15:8 - FCSCNT[15:8]
15h	RECR	接收错误计数器	Bit 15:8 - Res	Bit 15:8 - RXERCNT[15:8]
16h	PCSR	PCS 子层 配置和状态	Register changes (See datasheet)	Register changes (See datasheet)
17h	RBR/LBR	RMII和旁路	Configure or bypass RMII mode	Configure Loopback or Bypass mode
18h	LEDCR/10BTSCR	LED 直接控制	Control LED outputs	Provides 10BT status and control
19h	PHYCR	PHY 控制	Register changes (See datasheet)	Register changes (See datasheet)
1Ah	10BTSCR	10 Base-T 状态/控制	Provides 10BT status and control	Res
1Bh	CDCTRL1	CD 测试控制	Provides status of CD test and BIST extension	Res
1Dh	EDCR	能量检测控制	Enable and control Energy Detect	Res

注释

对于上述任何电路的使用，美国国家半导体公司不承担任何责任且不默示任何电路专利许可。美国国家半导体公司保留随时更改上述电路和规格的权利，恕不另行通知。
想了解最新的产品信息，请访问我们的网址：www.national.com。

生命支持策略

未经美国国家半导体公司的总裁和首席律师的明确书面审批，不得将美国国家半导体公司的产品作为生命支持设备或系统中的关键部件使用。特此说明：

1. 生命支持设备/系统指：(a) 打算通过外科手术移植到体内的生命支持设备或系统；(b) 支持或维持生命，依照使用说明书正确使用，有理由认为其失效会造成用户严重伤害。
2. 关键部件是在生命支持设备或系统中，有理由认为其失效会造成生命支持设备/系统失效，或影响生命支持设备/系统的安全性或效力的任何部件。

禁用物质合规

美国国家半导体公司制造的产品和使用的包装材料符合《消费产品管理规范（CSP-9-111C2）》以及《相关禁用物质和材料规范（CSP-9-111S2）》的条款，不包含CSP-9-111S2限定的任何“禁用物质”。
无铅产品符合RoHS指令。



National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

www.national.com

National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europa.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560